

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-177181

(43)Date of publication of application : 30.06.1998

(51)Int.Cl.

G02F 1/1343

G02F 1/1333

G09F 9/35

(21)Application number : 09-279014

(71)Applicant : CANON INC

(22)Date of filing : 13.10.1997

(72)Inventor : MIYAWAKI MAMORU
NAKAZAWA TORU
FUKUMOTO YOSHIHIKO
KUREMATSU KATSUMI
KOYAMA OSAMU

(30)Priority

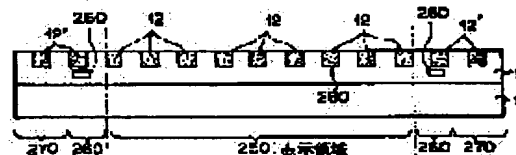
Priority number : 08276532 Priority date : 18.10.1996 Priority country : JP

(54) MATRIX SUBSTRATE AND LIQUID CRYSTAL DEVICE, AND THEIR PRODUCTION, AND DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a matrix substrate free from unequalness in thicknesses in a pixel display region and a driving circuit region and a seal region exclusive of the pixel display region by providing at least either of the driving circuit region and sealing region with members consisting of the same material as the material of pixel electrodes and members consisting of the same material as the material of insulative members so as to form a continuous surface.

SOLUTION: The electrode materials embedded into grooves 280 regularly formed in the display regions 250, the driving circuit regions 260 and the sealing regions 270 are polished by using chemical and mechanical polishing. The surfaces of the pixel electrodes 12, the surfaces of the members 12' consisting of the same material as the material of the pixel electrodes 12 and the surfaces of the insulating members (composed of insulating materials 9) adjacent to these electrode 12 materials and the members 12' are formed continuous and flat to a mirror finished surface state and are formed flush with each other. If the liquid crystal device arranged with oriented films and liquid crystals is constituted by using such matrix substrates, not only high luminance is obtd. but the unequalness of the images is lessened and the execution of the high-grade image display is made possible.



LEGAL STATUS

[Date of request for examination]

24.11.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3249077

[Date of registration]

09.11.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-177181

(43) 公開日 平成10年(1998) 6月30日

(51) Int. Cl. ⁴	識別記号	P I
G 0 2 F 1/1343		G 0 2 F 1/1343
1/1333	5 0 5	1/1333 5 0 5
G 0 9 F 9/35	3 0 5	G 0 9 F 9/35 3 0 5

審査請求 未請求 請求項の数21 O L (全 25 頁)

(21) 出願番号	特願平9-279014	(71) 出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成9年(1997)10月13日	(72) 発明者	宮脇 守 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
(31) 優先権主張番号	特願平8-276532	(72) 発明者	中澤 亨 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
(32) 優先日	平8(1996)10月18日	(72) 発明者	福元 嘉彦 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
(33) 優先権主張国	日本 (J P)	(74) 代理人	弁理士 山下 稔平

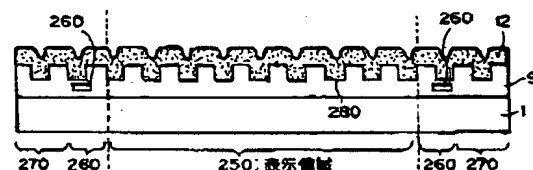
最終頁に続く

(54) 【発明の名称】 マトリクス基板と液晶装置とそれぞれの製造方法及び表示装置

(57) 【要約】

【課題】 液晶素子の駆動回路の部品点数を削減し、1チップ内に低消費電力でデジタルビデオ信号を高密度の液晶素子に表示することを課題とする。

【解決手段】 複数の走査線と複数の垂直信号線を有し、前記走査線と前記垂直信号線の交点にスイッチを介して画素電極が形成されている液晶装置において、映像信号がデジタル信号であり映像データを転送する水平走査回路と、前記水平走査回路の出力に同期して1画素分の前記映像データを記憶するデータラッチ回路と、前記データラッチ回路の出力をアナログ信号に変換するD/Aコンバータと、前記D/Aコンバータの出力に接続された複数の信号転送スイッチと、前記複数の転送スイッチのうち任意の1つを選択する手段とを有することを特徴とする。



【特許請求の範囲】

【請求項1】 複数の画素電極をマトリクス状に配してなる画素領域と、前記画素電極に電気信号を供給するための駆動回路領域と、シール領域と、を有するマトリクス基板であって、

前記画素電極間には、該画素電極表面と連続な表面をなす絶縁性部材が設けられていて、前記駆動回路領域と前記シール領域の少なくとも一方に、前記画素電極と同じ材料からなる部材と前記絶縁性部材と同じ材料からなる部材と、が連続な表面をなして設けられていることを特徴とするマトリクス基板。

【請求項2】 前記画素電極表面と前記絶縁性部材表面とは平坦な表面をなす請求項1に記載のマトリクス基板。

【請求項3】 前記画素電極と同じ材料からなる部材の表面と、前記絶縁性部材と同じ材料からなる部材の表面とは平坦な表面をなす請求項1若しくは2に記載のマトリクス基板。

【請求項4】 前記画素電極表面、前記絶縁性部材表面、前記画素電極と同じ材料からなる部材の表面及び前記絶縁性部材と同じ材料からなる部材の表面は、ケミカルメカニカルポリッシング（CMP法）を用いて研磨されたものである請求項1乃至3のいずれか1項に記載のマトリクス基板。

【請求項5】 前記画素電極の下部に遮光層が設けられた請求項1に記載のマトリクス基板。

【請求項6】 複数の画素電極をマトリクス状に配してなる画素領域と、前記画素電極に電気信号を供給するための駆動回路領域と、シール領域と、を有するマトリクス基板と、前記画素領域に対向する対向基板との間に液晶材料を配して構成される液晶装置であって、

前記画素電極間には、該画素電極表面と連続な表面をなす絶縁性部材が設けられていて、前記駆動回路領域と前記シール領域の少なくとも一方に、前記画素電極と同じ材料からなる部材と前記絶縁性部材と同じ材料とからなる部材と、が連続な表面をなして設けられていることを特徴とする液晶装置。

【請求項7】 前記画素電極表面と前記絶縁性部材表面とは平坦な表面をなす請求項6に記載の液晶装置。

【請求項8】 前記画素電極と同じ材料からなる部材の表面と、前記絶縁性部材と同じ材料からなる部材の表面とは平坦な表面をなす請求項8若しくは7に記載の液晶装置。

【請求項9】 前記画素電極表面、前記絶縁性部材表面、前記画素電極と同じ材料からなる部材の表面及び前記絶縁性部材と同じ材料からなる部材の表面は、ケミカルメカニカルポリッシングを用いて研磨されたものである請求項6乃至8のいずれか1項に記載の液晶装置。

【請求項10】 前記画素電極の下部に遮光層が設けられた請求項6に記載の液晶装置。

【請求項11】 請求項6に記載の液晶装置を配して構成したことを特徴とする表示装置。

【請求項12】 液晶装置として反射型の液晶パネルを用い、光源から発せられた光を該液晶パネルに照射し、該液晶パネルの反射光を光学系を介してスクリーンに照射して画像を表示する請求項11に記載の表示装置。

【請求項13】 前記反射型の液晶パネルとして、第1、第2、第3の色画素の3つの色画素のうち第1、第2の色画素の組み合わせを第1方向に、該第1、第3の色画素の組み合わせを該第1方向と異なる第2方向に該第1の色画素を共有するように配置した画素ユニットを基板上に所定のピッチで2次的に配列した画素ユニットアレイと、該第1方向と第2方向の2つの色画素のピッチを1ピッチとするマイクロレンズを複数個、該基板上の画素ユニットアレイ上に2次的に配列したマイクロレンズアレイとを有する液晶パネルを使用する請求項12に記載の表示装置。

【請求項14】 複数の画素電極をマトリクス状に配してなる画素領域と、前記画素電極に電気信号を供給するための駆動回路領域と、シール領域と、を有するマトリクス基板の製造方法であって、

マトリクス基板形成用の基板上に、前記画素電極が接続される半導体素子領域及び前記駆動回路領域を形成した後、前記半導体素子領域上、前記駆動回路領域上、及び前記シール領域となる領域上に絶縁層を形成する工程、前記絶縁層をパターンニングして、前記画素領域に前記画素電極形成用の溝を、前記駆動回路領域上の前記絶縁層と前記シール領域となる領域上の前記絶縁層の少なくとも一方に前記画素電極と同じ材料を配するための溝を形成する工程、前記第2種類の溝に画素電極構成材料を堆積させる工程、及び前記絶縁層表面と前記電極材料表面とが連続する同一平面を形成するように前記電極材料堆積面を研磨する工程、とを有することを特徴とするマトリクス基板の製造方法。

【請求項15】 前記研磨する工程は、ケミカルメカニカルポリッシング（CMP法）を用いてなされる請求項14に記載のマトリクス基板の製造方法。

【請求項16】 前記絶縁層のパターンニングは、CF₄、CHF₃、ガスをを用いたエッチング工程を含む請求項14に記載のマトリクス基板の製造方法。

【請求項17】 前記エッチングは、1.0 Torr以下の圧力下で行なわれる請求項16に記載のマトリクス基板の製造方法。

【請求項18】 複数の画素電極をマトリクス状に配してなる画素領域と、前記画素電極に電気信号を供給するための駆動回路領域と、シール領域と、を有するマトリクス基板と、前記画素領域に対向する対向基板との間に液晶材料を配して構成される液晶装置の製造方法であって、

マトリクス基板形成用の基板上に、前記画素電極が接続

される半導体素子領域及び前記駆動回路領域を形成した後、前記半導体素子領域上、前記駆動回路領域上、及び前記シール領域となる領域上に絶縁層を形成する工程、前記絶縁層をパターンニングして、前記画素領域に前記画素電極形成用の溝を、前記駆動回路領域上の前記絶縁層と前記シール領域となる領域上の前記絶縁層の少なくとも一方に前記画素電極と同じ材料を配するための溝を形成する工程、前記2種類の溝に画素電極構成材料を堆積させる工程、及び前記絶縁層表面と前記電極材料表面とが連続する同一平面を形成するように前記電極材料堆積面を研磨する工程、とを有することを特徴とする液晶装置の製造方法。

【請求項19】 前記研磨工程は、ケミカルメカニカルポリッシング（CMP法）を用いてなされる請求項18に記載の液晶装置の製造方法。

【請求項20】 前記絶縁層のパターンニングは、CF₄、/CHF₃、ガスをを用いたエッチング工程を含む請求項18に記載の液晶装置の製造方法。

【請求項21】 前記エッチングは、1.0 Torr以下の圧力下で行なわれる請求項18に記載の液晶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マトリクス基板、該マトリクス基板と液晶を用いて画像・文字などを表示する液晶装置及びこれを用いた表示装置、更にマトリクス基と液晶装置の製造方法に関する。

【0002】

【従来の技術】今日、世の中はマルチメディア時代に入り、画像情報でコミュニケーションを図る機器の重要性がますます高まりつつある。なかでも、液晶表示装置は、薄型で消費電力が小さいため注目されており、半導体にならぶ基幹産業にまで成長している。液晶表示装置は、現在、10インチサイズのノートサイズのパソコンに主に使用されている。そして、将来は、パソコンのみでなく、ワークステーションや家庭用のテレビとして、さらに画面サイズの大きい液晶表示装置が使用されると考えられる。しかし、画面サイズの大型化にともない、製造装置が高価になるばかりでなく、大画面を駆動するためには、電気的に厳しい特性が要求される。このため、画面サイズの大型化とともに、製造コストがサイズの2～3乗に比例するなど急激に増加する。

【0003】そこで、最近、小型の液晶表示パネルを製作し、光学的に液晶画像を拡大して表示するプロジェクション（投影）方式が注目されている。これは、半導体の微細化にともない、性能やコストが良くなるスケールアップ則と同様に、サイズを小さくして、特性を向上させ、同時に、低コスト化も図ることができるからである。これらの点から、液晶表示パネルを画素スイッチとして薄膜トランジスタ（thin Film Transistor）を用い

たTFT型としたとき、小型で十分な駆動力を有するTFTが要求され、TFTもアモルファスSiを用いたものから多結晶Siを用いたものに移行しつつある。通常のテレビに使われるNTSC規格などの解像度レベルの映像信号は、あまり高速の処理を必要としない。

【0004】このため、TFTのみでなく、シフトレジスタもしくはデコーダといった周辺駆動回路まで多結晶Siで製造して、表示領域と周辺駆動回路が一体構造になった液晶表示装置ができる。しかし、多結晶Siでも、単結晶Siにはおおよぼ、NTSC規格より解像度レベルの大きい高品位テレビや、コンピュータの解像度規格でいうXGA（extended Graphics Array）、SXGA（Super extended Graphics Array）クラスの表示を実現しようとする、シフトレジスタなどは複数に分割配置せざるを得ない。この場合、分割のつなぎ目に相当する表示領域にゴーストと呼ばれるノイズが発生し、その問題を解決する対策がこの分野では望まれている。

【0005】また一方、多結晶Siの一体構造の表示装置より、駆動力が極めて高い単結晶Si基板を用いる表示装置も注目を集めている。この場合、周辺駆動回路のトランジスタの駆動力は申し分ないので、上述したような分割駆動をする必要はない。このため、表示装置と周辺駆動回路との接続線間等のS/Nが高くなるためノイズの影響は小さくなり、ノイズなどの問題は解決できる。

【0006】これらの多結晶Siでも、単結晶Siでも、各画素毎のスイッチング素子のドレインと反射電極とを接続して、反射電極と透明な共通電極と間に液晶を挟持して、反射型液晶素子を組み込んだ反射型液晶装置を提供できる。

【0007】反射型の液晶装置については、光を画素電極で反射させて画像を表示することから透過型の液晶装置のように、スイッチング素子を構成する半導体層へ光が入射するのを抑えつつ開口率を大きくするといった必要はなくなることから、透過型の液晶装置に比べて、光を有効利用することができる。

【0008】

【発明が解決しようとする課題】しかしながら、反射型の液晶装置に要求される工夫で透過型にはないものとして大きな反射率を画素電極にもたせるということがある。この点に鑑みてなされた発明として特開平8-179377号公報に開示されたものがある。

【0009】当該公報には、ケミカルメカニカルポリッシング（Chemical Mechanical Polishing：CMP）を用いて、画素電極とバシベーション膜を研磨することが示されている。

【0010】これについて図28を参照しながら説明する。図28は、画素電極部の断面図である。

【0011】図28（A）に示すように、表面に凹凸のあるバシベーション膜2011と画素電極2009とを

研磨する際に、バシベーション膜2011と画素電極2009を共にエッチングするエッチャントを含む研磨材を用いて、カミカルメカニカルポリッシングを行ない、同図(B)に示すように画素電極2009とバシベーション膜2011とが平坦になるまで画素電極2009とバシベーション膜2011とを鏡面研磨する。こうすると画素電極2009と、バシベーション膜2011が平坦になるので、画素電極2009上に直接配向膜を形成することができ、更に、画素電極2009がフラットになるので液晶にかかる電界を均一にすることができるとされている。また、特開平8-179377号公報では、CMP技術を用いて研磨された液晶パネルの表面は、周辺部がダレる傾向にあることが指摘されており、これに対する対策として、ダミー画素を駆動回路と表示画素エリアの間に設けることが提案されている。これについて図29を参照しながら説明する。

【0012】同図(A)に示すように、反射型アクティブ・マトリクス・ディスプレイ・パネルは、基板2001上に形成された表示画素エリア2017とその周辺部に配置している信号・走査駆動回路2018との高さ(厚み)が異なるため、パネル表面に段差が生じている。そして、このような凹凸の有るバシベーション膜(酸化膜)2011の表面を、この酸化膜をエッチングするエッチャントを含む研磨材を用いて研磨すると、同図(B)に示すように表示画素エリア2017の周辺部でダレが生じてしまう。

【0013】これを防止するために、同図(C)に示すように、表示画素エリア2017と信号・走査駆動回路2018との間に、表示画素エリア2017を取り囲むようにして、画像表示に寄与しないダミー画素2019を配置した構成とする。そして、このような構成することにより、同図(D)に示すように、信号・走査駆動回路2018との段差から多少のダレは生じるが、表示画素エリア2017内の平坦性は保たれるとしている。

【0014】一方、本願出願人もCMPを用いた表示装置の製造方法に関する提案の特開平8-178711号で行なっている。

【0015】特開平8-178711号で本出願人が提案した表示装置の製造方法は、各画素電極毎にスイッチングトランジスタを配したアクティブマトリクス基板と、該アクティブマトリクス基板に対向する対向電極基板と、の間に液晶を挟持してなる表示装置の製造方法であって、前記画素電極の形成工程が、ケミカルメカニカルポリッシングによる研磨工程を有する表示装置の製造方法である。

【0016】また、この出願では、画素電極材料を堆積させる前に、絶縁層をバタニングして溝を形成し、該溝に電極材料を堆積されると共に絶縁層上にも電極材料を堆積させた後、CMPを用いて電極材料を研磨し、絶縁層と電極材料の表面を連続な平坦な面とすることを提

案した。これによれば、画素電極間が絶縁層により良好に埋められ、完全に凹凸がなくなる。よって、該凹凸によって生じた乱反射や配向不良が防止され、高画質な画像表示が可能となる。

【0017】先に説明した特開平8-179377号公報と、本願出願人が特開平8-178711号出願で提案した発明の大きな違いは、特開平8-179377号公報では、画素電極材料2009を形成した後にバシベーション膜2011を形成し、次いでCMP研磨するのに対し、特開平8-178711号出願では絶縁層をバタニングして溝を形成し、該溝に電極材料を堆積させた後CMP研磨する点である。特開平8-179377号公報では、ダミー画素を画素エリアと駆動回路との間に設けることが開示されているものの、周辺部のダレは避けられない。

【0018】一方、特開平8-178711号出願自体も新規な発明を開示しているが、絶縁層をバタニングして画素電極材料を堆積させるマトリクス状の溝を形成するに際しては、画素表示領域と、それ以外の周辺部に配されるレジスタと溝の間隔、深さ等を考慮しなければ全ての画素電極形成用の溝を均一に形成するのは難しいということが判明した。

【0019】これについて図27を参照しながら説明する。図27(A)は、基板2001上に画素のスイッチング素子として用いられる半導体層(不図示)と該スイッチング素子を駆動する駆動回路部260を形成した後、絶縁層211を堆積形成し、絶縁層211中に画素電極形成用の溝280を形成し、次に溝280の中及び絶縁層211上に電極材料213を堆積させた状態を示している。ここで250は、画素表示領域、270はこのアクティブマトリクス基板と対向基板(不図示)を用いて液晶材料をシールするためのシール領域である。図27(A)では、画素表示領域250については、通常数 μm から数十 μm の大きさの画素電極形成用の溝280を規則正しく形成する必要があるが、駆動回路領域260上やシール領域270上にはこのような規則正しい溝を形成する必要はなく、画素表示領域250上と、それ以外の駆動回路領域260やシール領域270上とは、レジスタの配置に差が生じてくる。そこで、レジスタの配置や形成される溝の間隔、深さ等に注意したバタニングを行なわない場合には、図27(A)に示すように溝280の深さが不均一なものになってしまう。図27(B)は、CMPによる研磨を行なった後の状態を示しており、表示領域250と、駆動回路領域260やシール領域270とは、絶縁層211の厚みにむらを生じてしまう。

【0020】本発明は上述した課題点に鑑み、なされたものである。本発明の目的は、画素表示領域とその以外の駆動回路領域やシール領域で厚みにむらのないマトリクス基板を提案することである。

【0021】本発明の別の目的は、高輝度を実現させるばかりでなく、画像のムラも低減し、高品位な画像表示を実現し得る液晶装置を提案することである。

【0022】本発明の更に別の目的は、上記のマトリクス基板及び液晶装置を好適に製造し得る製造方法を提供することである。

【0023】

【課題を解決するための手段】本発明は、上記目的を解決するために、複数の画素電極をマトリクス状に配してなる画素領域と、前記画素電極に電気信号を供給するための駆動回路領域と、シール領域と、を有するマトリクス基板であって、前記画素電極間には、該画素電極表面と連続な表面をなす絶縁性部材が設けられていて、前記駆動回路領域と前記シール領域の少なくとも一方に、前記画素電極と同じ材料からなる部材と前記絶縁性部材と同じ材料からなる部材と、が連続な表面をなして設けられていることを特徴とするマトリクス基板を提供することである。

【0024】また、本発明は、複数の画素電極をマトリクス状に配してなる画素領域と、前記画素電極に電気信号を供給するための駆動回路領域と、シール領域と、を有するマトリクス基板と、前記画素領域に対向する対向基板との間に液晶材料を配して構成される液晶装置であって、前記画素電極間には、該画素電極表面と連続な表面をなす絶縁性部材が設けられていて、前記駆動回路領域と前記シール領域の少なくとも一方に、前記画素電極と同じ材料からなる部材と前記絶縁性部材と同じ材料とからなる部材と、が連続な表面をなして設けられていることを特徴とする液晶装置を提供することである。

【0025】さらに、本発明は、複数の画素電極をマトリクス状に配してなる画素領域と、前記画素電極に電気信号を供給するための駆動回路領域と、シール領域と、を有するマトリクス基板の製造方法であって、マトリクス基板形成用の基板上に、前記画素電極が接続される半導体素子領域及び前記駆動回路領域を形成した後、前記半導体素子領域上、前記駆動回路領域上、及び前記シール領域となる領域上に絶縁層を形成する工程、前記絶縁層をパターニングして、前記画素領域に前記画素電極形成用の溝を、前記駆動回路領域上の前記絶縁層と前記シール領域となる領域上の前記絶縁層の少なくとも一方に前記画素電極と同じ材料を配するための溝を形成する工程、前記第2種類の溝に画素電極構成材料を堆積させる工程、及び前記絶縁層表面と前記電極材料表面とが連続する同一平面を形成するように前記電極材料堆積面を研磨する工程、とを有することを特徴とするマトリクス基板の製造方法を提供することである。

【0026】また、本発明は、複数の画素電極をマトリクス状に配してなる画素領域と、前記画素電極に電気信号を供給するための駆動回路領域と、シール領域と、を有するマトリクス基板と、前記画素領域に対向する対向

基板との間に液晶材料を配して構成される液晶装置の製造方法であって、マトリクス基板形成用の基板上に、前記画素電極が接続される半導体素子領域及び前記駆動回路領域を形成した後、前記半導体素子領域上、前記駆動回路領域上、及び前記シール領域となる領域上に絶縁層を形成する工程、前記絶縁層をパターニングして、前記画素領域に前記画素電極形成用の溝を、前記駆動回路領域上の前記絶縁層と前記シール領域となる領域上の前記絶縁層の少なくとも一方に前記画素電極と同じ材料を配するための溝を形成する工程、前記2種類の溝に画素電極構成材料を堆積させる工程、及び前記絶縁層表面と前記電極材料表面とが連続する同一平面を形成するように前記電極材料堆積面を研磨する工程、とを有することを特徴とする液晶装置の製造方法を提供することである。

【0027】また、本発明の液晶装置においては、駆動回路領域とシール領域の少なくとも一方にも画素電極と同じ材料からなる部材と絶縁性部材とが連続な表面をなして設けられていることから、画素電極の平坦性が画素領域以外の周辺部においても得られ、更に画素領域自体の平坦性も増したものとなる。これにより、画像ムラを低減させた高輝度、高品位な画像表示を実現できる。

【0028】

【発明の実施の形態】

【第1の実施形態】本発明の第1の実施形態によるマトリクス基板について、図1及び図2を参照しながら説明する。図1は、マトリクス基板形成用の基板1上に絶縁層9が設けられ、パターニングで絶縁層9中に形成された溝280中に電極材料を堆積させた状態を模式的に示している。図1においては、基板1上に画素のスイッチング素子として機能する半導体素子領域（不図示）と、画素スイッチング素子に電気信号を供給する駆動回路260を形成した後、絶縁層9が形成されていて、絶縁層9の画素表示領域250上、駆動回路領域260上及びシール領域270（対向基板（不図示）との間に液晶材料をシールするために用いられる領域）上には、画素電極12の材料形成用の溝280が形成されている。

【0029】ここでは、画素表示領域250上と、駆動回路領域260上及びシール領域270上に、規則正しく溝280を形成することとしたため、画素表示領域250上と、それ以外の領域上に配されるレジストの配置に大きな差がないことから、画素表示領域250全面は勿論、それ以外の領域の絶縁層上に深さ、大きさにムラのない溝が形成できている。そして溝280の中及び溝280を越えて絶縁層9上にも画素電極12の電極材料が堆積している。

【0030】また、図2は、図1の状態の基板をCMP（Chemical Mechanical Polishing）を用いて研磨した状態を示している。図2では、画素表示領域250中に形成された溝280に画素電極12が、駆動回路領域260及びシール領域270に形成された溝280には画素

電極12と同じ材料からなる部材12'（例えば画素電極として機能するための電気的接続がとられていない電極）が設けられている。CMPについては、後述するが、ここでは、表示領域250と駆動回路領域260及びシール領域270に規則正しく形成された溝280に埋め込まれた電極材料をCMPを用いて研磨（実際には溝280を越えて絶縁層9上に堆積した電極材料を研磨の後、溝の中に堆積した電極材料と、溝280と溝280の間にある絶縁部材の表面を同時に研磨）することから、画素電極12の表面、画素電極と同じ材料からなる部材12'の表面及びこれら電極材料12及び12'と隣接する絶縁部材（絶縁層9で構成）の表面は、連続で平坦、且つ鏡面状のものとなり、同一平面状となる。

【0031】このようなマトリクス基板を用いて配向膜や液晶を配置した液晶装置を構成すると、高輝度が得られるばかりでなく、画像のムラも低減し、高品位な画像表示を行なうことができる。

【0032】図1及び図2に示した例においては、駆動回路領域260及びシール領域270の両方の領域に電極材料からなる部材12'を設け部材12'の表面を隣接する絶縁部材の表面と連続にしている。これは本発明の最も好ましい形態であり、本発明の効果が最も顕著にあらわれる例であるが、本発明は、駆動回路領域260あるいはシール領域270のいずれか一方の領域に電極材料からなる部材12'を設け、部材12'の表面を隣接する絶縁部材の表面と連続にした形態をも包含する。

【0033】本発明において使用される電極材料12としては、表面が平坦で加工し易く、高反射が得られる材料が望ましい。例えば、通常の配線用金属であるAl、AlSi、AlSiCu、AlGeCu、AlCの他、Ti、Ta、W、Cr、Au、Agなどの金属、あるいはこれら金属の化合物を使用することが可能である。

【0034】本発明において、電極材料形成用の溝280が形成される絶縁層9は、酸化シリコン膜の他、例えば半導体分野で通常使用されている絶縁膜、層間絶縁膜等を挙げることができる。具体的なものとしては、SiO₂膜、プラズマCVD法により形成された酸化シリコン膜、熱CVD法により形成された酸化シリコン膜、オゾン-TEOS (Tetraethoxy-Silane)を原料としてCVD法により形成された酸化シリコン膜、PSG (Phospho-Silicate Glass) 膜、NSG (Non-cloped Silicate Glass) 膜、BPSG (Boro-Phospho-Silicate Glass)である。その他、Si₃N₄膜、Ta₂O₅膜等も絶縁層として使用することができる。

【0035】ここで、画素表示領域250上、駆動回路領域260上、及びシール領域270上の絶縁層9中、画素電極12材料を埋め込むための溝280をパターンニングにより形成するのに好ましい方法について説明する。

【0036】先に、画素電極12材料を、画素表示領域250のみに形成し、駆動回路領域260上やシール領

域270上に形成しない場合には、画素表示領域250と駆動回路領域260やシール領域270とではレジストの配置に差が生じ、その配置の不規則性がパターンニングに悪影響を及ぼすことについて述べた。絶縁層9として酸化膜を用いた場合、エッチング装置としては、酸化膜系のエッチング装置、例えばCF₄/CHF₃、ガス系平行平板型プラズマエッチング装置が使用される。

【0037】一般に、この装置は被エッチング面積数%～十数%程度のホールパターンのような、小開口面積のエッチングに利用されるが、本発明における絶縁膜の加工では、電極材料を画素領域以外にも埋め込む必要があるため被エッチング面積が60～80%程度と、大開口面積のエッチングを実施する必要がある。

【0038】また一般に、CF₄/CHF₃、ガス系酸化膜エッチングの反応機構は、エッチングそのものと、レジストから生ずるポリマー堆積の競合反応で行われるが、本発明のような、大開口面積のエッチングを実施する場合には、エッチングそのものに寄与するエッチャントの不足が大きく影響する。

【0039】そこで、酸化膜系エッチング（CF₄/CHF₃系）において、エッチング条件を変えてエッチング特性を検討した。その結果を図8に示す。図8(a)はエッチング処理時のチャンパー内圧力が1.7 Torr時の特性図、図8(b)はチャンパー内圧力が1.0 Torr時の特性図である。

【0040】図8(a)に示すように、total圧力が1.7 Torrの条件で、デポジション性のガスCHF₃をへらすと、たしかにポリマーの堆積は、減少するが、レジスト被覆部に近い被エッチング部と遠い被エッチング部でのエッチングレートの違い（ローディング効果）がきわめて大きくなり、使用が困難であることがわかる。

【0041】本発明者らは、実験を重ねた結果、ローディング効果をおさえるため、徐々にエッチング処理時のチャンパー内の圧力を下げていき、1.0 Torr以下になるとローディング効果がかなり抑制され、かつデポジション性のガスCHF₃を減らし、CHF₃をゼロにしてCF₄のみによるエッチングが有効であることを見出した。

【0042】即ち、図8(b)に示すように、処理時の圧力が1.0 Torrではローディング効果はCF₄/CHF₃、ガス比によらず低いレベルで抑制されており、CF₄のみのエッチングを行なうことによりポリマーが堆積するという現象を抑制できた。

【0043】さらに、画素表示領域250のみに画素電極12を設ける構造では、画素電極12を設けるべく、画素表示領域250のみにエッチングにより絶縁層9に溝280を形成することになるので、画素表示領域250の画素電極領域にはほとんどレジストが存在せず、周辺領域には多量のレジストが配されることとなるが、こ

の場合、上述の条件を採用しても、多少のローディング効果が発生し、安定したエッチング効果は得られなかったが、本発明の駆動回路領域260上やシール領域270上にも溝280を設ける形態では、ローディング効果が抑制でき、安定したエッチング効果が得られた。

【0044】本発明において使用可能なケミカルメカニカルポリッシング(CMP)は、研磨材中に含まれる化学成分による化学的エッチング作用と、研磨材が本来有する機械的研磨作用と、を利用して研磨を行なうものである。ケミカルメカニカルポリッシング(CMP)の一例として、研磨材に含まれる化学成分と、被研磨試料表面との化学反応により生ずる反応生成物を、研磨材と、研磨布とを用いて機械的に研磨して除去するものが挙げられる。CMPのプロセスとしては、研磨すべき被研磨試料を回転可能な研磨ヘッドに取り付けた後、被研磨試料表面を回転するプラテン(研磨定盤)に押しつけることにより研磨を行なう。プラテンの表面にはパッド(研磨布)が貼り付けられており、このパッドに付着したスラリー(研磨材)によって研磨が進む。

【0045】CMPの装置として種々のものが販売されており、本発明においては、それらの装置を適宜用いることができる。

【0046】CMP装置としては、AVANTI472(IPEC/PLANAR社製)、CMP-11(スピードファム社製)、EPO-113、EPO-114(荏原製作所製)、MIRRA(APPLIED MATERIALS社製)、6DS-SP(STRASBAUGH社製)等を挙げることができる。

【0047】スラリーとしては、Rodel社製のMSW-1000、XJFW-8048H、XJFW-8097B、XJFW-8099、Cabot社製のSEM1-SPERSE W-A355、SEMI-SPERSE FE-10、FUJIMI社製のPLANERLITE-5101、PLANERLITE-RD-93034、PLANERLITE5102、PLANERLITE-RD-93035、PLANERLITE-5103、PLANERLITE-RD-93036、STI社製のKLEBOSOL-20H12、KLEBOSOL-30H25、KLEBOSOL-30H50、KLEBOSOL-30N12、KLEBOSOL-30N25、KLEBOSOL-30N50等を用いることができる。

【0048】研磨布としては、Rodel社製のIC-1000、IC-1400、IC-60、IC-53、IC-50、IC-45、IC-40、Suba 400、Suba 400H、Suba 500、Suba 600、Suba 800、MH S15A、MH S24A、MH C14A、MH C14B、MH C15A、MH C26A、MH N15A、MH N24A、SupremeRN-H、Supreme R

N-R、Whitex W-H、WhitexW-S、UR-100、XHGM-1158、XHGM-1187、FUJIMI社製のSurfin XXX-5、Surfin 100、Surfin 260S、Surfin 000、Surfin 194、Surfin 191、Surfin 192、Surfin 2-X、Surfin 018-3、Surfin 018-0、Surfin 018、Surfin 200、Surfin 028、Surfin 024、Politex、PolitexDG、Politex Supreme、Unicorfam、帝人社製のSBL135、SBD1014、6ZP09、RP3010P5、GQ8785、GQ9810、GQ9806、GQ9813、GQ1070、GQ1110、GQ1300、NAPCON社製の1000、1000R、1200、1200R、1300、1400、2000、2010、2020、4100、4300、4400、4500、4600、4800、4900、5100、5400等を用いることができる。

【0049】ここで、CMPを用いたアクティブマトリクス基板及び液晶装置の製造プロセスの1例について図11、図12を参照しながら説明する。尚、図11、図12においては、画素表示領域250の断面図が示されており、駆動回路領域280、シール領域270は図示されていないが、駆動回路領域260は、画素スイッチを構成する半導体素子と同時に形成される。

【0050】不純物濃度が 10^{14} cm^{-3} 以下であるn形シリコン半導体基板201を部分熱酸化し、LOCOS202を形成する。該LOCOS202をマスクとしてボロンをドーズ量 10^{12} cm^{-3} 程度イオン注入し、不純物濃度 10^{16} cm^{-3} 程度のp形不純物領域であるPWL203を形成する。この基板201を再度熱酸化し、酸化膜厚1000オングストローム以下のゲート酸化膜204を形成する(図11(a))。

【0051】つぎに、リンを 10^{19} cm^{-3} 程度ドーブしたn形ポリシリコンからなるゲート電極205を形成した後、基板201全面にリンをドーズ量 10^{13} cm^{-3} 程度イオン注入し、不純物濃度 10^{16} cm^{-3} 程度のn形不純物領域であるNLD206を形成する。

【0052】引き続き、バタニングされたフォトレジストをマスクとして、リンをドーズ量 10^{13} cm^{-3} 程度イオン注入し、不純物濃度 10^{19} cm^{-3} 程度のソース、ドレイン領域207、207'を形成する(図11(b))。

【0053】次に、基板201全面に層間膜であるPSG208を形成する。

【0054】更に、ソース、ドレイン領域207、207'の直上のPSG208にコンタクトホールをバタニングし、スパッタリングによりAlを蒸着した後バタニングし、Al電極209を形成する(図11

(c))、このA1電極209と、ソース、ドレイン領域207、207'とのオーミックコンタクト特性を向上させるために、Ti/TiN等のバリアメタルを、A1電極209とソース、ドレイン領域207、207'との間に形成するのが望ましい。

【0055】基板201全面にプラズマSiN210を3000オングストローム程度、続いてPSG211を10000オングストローム程度成膜する(図11(d))。

【0056】プラズマSiN210をドライエッチングストッパー層として、PSG211を画素間の分離領域のみを残すようにパターンニングし、その後ドレイン領域207'にコンタクトしているA1電極209直上にスルーホール212をドライエッチングによりパターンニングする(図11(e))。

【0057】次に、基板201上にスパッタリング、或いはEB(Electron Beam、電子線)蒸着により、例えばA1の画素電極213を10000オングストローム以上成膜する(図12(f))。

【0058】こうして、画素電極213の表面をCMPにより研磨する(図12(g))。この時、不図示であるが、駆動回路領域及び、シール回路領域の電極材料表面も研磨される。

【0059】具体的には、ストッパーとして絶縁部材であるPSG211を越えて堆積した電極材料213を研磨した後、電極材料表面と、絶縁部材211の表面や連続して平坦な面となるまで研磨する。

【0060】ここでは、CMP装置として存原製作所製EPO-114、研磨布にRodel社製SUPREMER-N-H(D51)、スラリーにFUJIMI社製PLANERLITE5102を用いて行なった。

【0061】上記の工程により形成されたアクティブマトリクス基板の表面にさらに配向膜215を形成し、その表面にラビング処理等配向処理を施す。次いでこのアクティブマトリクス基板をスペーサ(不図示)を介して対向基板と貼り合わせ、その隙間に液晶214を注入して液晶装置を構成する(図12(h))。本例では、対向基板は透明基板220上にカラーフィルター221、ブラックマトリクス222、ITO等からなる共通電極223、及び配向膜215'を配して構成されている。

【0062】以下、簡単に本例の反射型液晶装置の駆動方法を説明する。基板201にオンチップで形成されたシフトレジスタ等の周辺駆動回路により、ソース領域207に信号電位を与え、それと同時にゲート電極205にゲート電位を印加し、画素のスイッチングトランジスタをオン状態にし、ドレイン領域207'に信号電荷を供給する。信号電荷はドレイン領域207'と、PWL203との間に形成されるpn接合の空乏層容量に蓄積され、A1電極209を介して画素電極213に電位を与える。画素電極213の電位が所望の電位に達した時

点で、ゲート電極205の印加電位を切り、画素スイッチングトランジスタをオフ状態にする。信号電荷は前述のpn接合容量部に蓄積されているため、画素電極213の電位は、次に画素スイッチングトランジスタが駆動されるまで固定される。この固定された画素電極213の電位が、図12(h)に示された基板201と対向基板220との間に封入された液晶214を駆動する。

【0063】本例のアクティブマトリクス基板は、図12(h)から明らかなように、画素電極213表面が平滑であり、且つ、隣接する画素電極間隙に絶縁層が埋め込まれている。更に、不図示の駆動回路領域及びシール領域に形成された電極材料と該電極材料間に配された絶縁層の表面が平坦なことから、その上に形成される配向膜215表面も平滑で凹凸がない。

【0064】これにより、液晶の介在する両面の凹凸によって生じていた、入射光の散乱により光利用効率の低下、ラビング不良によるコントラストの低下、画素電極間の段差による横方向電界による輝線の発生が防止され、表示画像の品質が向上する。

【0065】[第2の実施形態]以下に、本発明の第2の実施形態について説明する。但し、本発明はそれぞれの実施形態に限定されるものではなく、各実施形態の相互の形態の技術を組み合わせたものをも包含する。また、液晶装置は、半導体基板を用いたもので記述しているが、必ずしも半導体基板に限定されるものではなく、通常の透明基板(ガラス基板)を用いてマトリクス基板を形成してもよい。また、以下の説明では、画素スイッチ素子としてMOSFETやTFTを用いているが、ダイオード型などの2端子型であってもいい。さらに、以下に説明する液晶装置は、家庭用テレビはもちろん、プロジェクタ、ヘッドマウントディスプレイ、3次元映像ゲーム機器、ラップトップコンピュータ、電子手帳、テレビ会議システム、カーナビゲーション、飛行機のパネルなどの表示装置として有効である。

【0066】本実施形態の液晶パネル部の断面を図3に示す。図において、1は半導体基板、2、2'はそれぞれp型及びn型ウェル、3、3'、3''はトランジスタのソース領域、4はゲート領域、5、5'、5''はドレイン領域である。

【0067】図3に示すように、表示領域のトランジスタは、20~35Vという高耐圧が印加されるため、ゲート4に対して、自己整合的にソース、ドレイン層が形成されず、オフセットをもたせ、その間にソース領域3'、ドレイン領域5'に示す如く、pウェル中の低濃度のn'層、nウェル中の低濃度のp'層が設けられる。ちなみにオフセット量は0.5~2.0μmが好適である。一方、周辺回路の一部の周辺領域が図3の左側に示されているが、周辺領域の一部の回路は、ゲート電極に対して、自己整合的にソース、ドレイン領域が形成されている。周辺回路の一部を自己整合構造としたのは、

かかる周辺回路の一部がロジック系回路であり、この部分は、1.5～5V系駆動でよいから、トランジスタサイズの縮小、及びトランジスタの駆動力向上のためには、自己整合構造が望ましいからである。ここでは、ソース、ドレインのオフセットについて述べたが、その有無だけでなく、オフセット量をそれぞれの耐圧に応じて変化させたり、ゲート長の最適化が有効である。

【0068】半導体基板1はp型半導体からなり、基板の電位は最低電位（通常は、接地電位）であり、n型ウェルは、表示領域の場合には画素に印加する電圧すなわち20～35Vがかかり、一方、周辺回路の一部は、ロジック系回路では、一般にロジック駆動電圧1.5～5Vがかかる。上記の構造により、それぞれ電圧に応じた最適なデバイスを構成でき、チップサイズの縮小のみならず、駆動スピードの向上による高画素表示が実現可能になる。

【0069】また、図3において、8はフィールド酸化膜、8'はPSG（リンガラス）、NSG（ノンドーパラス）、BPSG等の絶縁層、10はデータ配線につながるソース電極、11は画素電極につながるドレイン電極、12は反射鏡を兼ねる画素電極である。また、12'は駆動回路領域及びシール領域に形成された画素電極部材である。また、7は表示領域及び周辺領域を覆う遮光層で、Ti、TiN、W、Mo等が適しており、表示領域内ばかりでなく、周辺回路の領域にも同一の工程で、真空蒸着法やスパッタ法等で成膜後、パターニングして形成する。この遮光層7はチップのはほぼ全面を覆うため、照射光の遮光性が向上し、漏れ光によるトランジスタの誤動作を防ぐ効果を有する。図3に示すように、上記遮光層7は、表示領域では、画素電極12とドレイン電極11との接続部を除いてトランジスタ等を覆うようにしているが、周辺回路領域の遮光層7では、ビデオ線、クロック線等、配線容量が重くなると不都合な領域は、上記遮光層7を除いてある。上記遮光層7がのぞかれた部分は照明光の光が侵入し、回路の誤動作を起こす可能性があるため、上記遮光層7を除いた領域上は、画素電極12の層でおおう工夫がなされている。

【0070】また、8は遮光層7の下部の絶縁層で、P-SiO（プラズマCVDで作られたSiO）層18上にSOG（Spin On Glass）により平坦化処理を施し、そのP-SiO層18をさらに、プラズマSiNやP-SiO層8でカバーし、絶縁層8の安定性を確保した。

【0071】また、9は画素毎の反射電極12と遮光層7との間及び各反射電極12間に設けられた絶縁層で、この絶縁層9を介して反射電極12の電荷保持容量となっている。絶縁層9の膜厚は、遮光層7のTi、TiN、Mo、W等の平坦なメタル上に設けることにより、500～5000オングストローム程度の膜厚が好適である。また、遮光層7は周辺領域にも表示領域19における遮光層と同一工程で同時にTi、TiN、Mo、W

等で形成される。さらに絶縁層9についても周辺領域に表示領域と同一工程で同時に形成し、反射電極12についても同様である。

【0072】さらに、14は液晶材料、15は反射電極12に対向する共通透明電極、16は透明な対向基板、19は表示領域、20は反射防止膜である。また、17、17'は高濃度不純物領域である。

【0073】また、13は共通透明電極15と対向基板18との間に設けられた反射防止用膜で、界面の液晶の屈折率を考慮して、界面反射率が軽減されるように構成される。その場合、対向基板18と、透過電極15の屈折率よりも小さい絶縁膜が好適である。

【0074】図3に示すように、トランジスタ下部に形成されたウェル2、2'と同一極性の高濃度不純物層17、17'は、ウェル2、2'の周辺部及び内容に形成されており、高振幅な信号がソースに印加されても、ウェル電位は、低抵抗層で所望の電位に固定されているため、安定しており、高品質な画像表示が実現できた。さらにn型ウェル2'とp型ウェル2との間には、フィールド酸化膜を介して上記高濃度不純物層17、17'が設けられており、通常MOSTランジスタの時に使用されるフィールド酸化膜直下のチャネルストップ層を不要にしている。

【0075】これらの高濃度不純物層17、17'は、ソース、ドレイン層形成プロセスで同時にできるので作製プロセスにおけるマスク枚数、工数が削減され、低コスト化が図れた。

【0076】次に、本実施形態の平面図を図4に示す。図において、21は水平シフトレジスタ（HSR）、22は垂直シフトレジスタ（VSR）、23はnチャンネルMOSFET、24はpチャンネルMOSFET、25は保持容量、26は液晶層で、27は信号転送スイッチFET、28はリセットスイッチFET、29はリセットパルス入力端子、30はリセット電源端子、31は映像信号の入力端子である。また、19は表示領域を示している。

【0077】また、保持容量25は、画素電極12と共通透明電極15の間の信号を保持するための容量である。ウェル領域2には、基板電位を印加する。本実施形態では、各行のトランスミッションゲート構成を、上から1行目は上がnチャンネルMOSFET23で、下がpチャンネルMOSFET24、2行目は上がpチャンネルMOSFET24で、下がnチャンネルMOSFET23とするように、隣り合う行で順序を入れ換える構成になっている。以上のように、ストライプ型ウェルで表示領域の周辺で電源線とコンタクトしているだけでなく、表示領域にも、細い電源ラインを設けコンタクトをとっている。

【0078】この時、ウェルの抵抗の安定化がカギになる。したがって、p型基板であれば、nウェルの表示領

域内部でのコンタクト面積又はコンタクト数をpウェルのコンタクトより増強する構成を採用した。pウェルは、p型基板で一定電位がとられているため、基板が低抵抗体としての役割を演ずる。したがって、島状になるnウェルのソース、ドレインへの信号の入出力による振られの影響が大きくなりやすいが、それを上部の配線層からのコンタクトを増強することで防止できた。これにより、安定した高品位な表示が実現できた。

【0079】映像信号（ビデオ信号、パルス変調されたデジタル信号など）は、映像信号入力端子31から入力され、水平シフトレジスタ21からのパルスに応じて信号転送スイッチ27を閉閉し、各データ配線に出力する。垂直シフトレジスタ22からは、選択した行のnチャンネルMOSFET23のゲートへはハイパルス、pチャンネルMOSFETのゲートへはローパルスを印加する。

【0080】以上のように、画素部のスイッチは、単結晶のCMOSTランスミッションゲートで構成されており、画素電極へ書き込む信号が、MOSFETのしきい値に依存せず、ソースの信号フル書き込める利点を有する。

【0081】又、スイッチが、単結晶トランジスタから成り立っており、polysil-TFTの結晶粒界での不安定な振まい等がなく、バラツキのない高信頼性な高速駆動が実現できる。

【0082】次にパネル周辺回路の構成について、図5を用いて説明する。図5において、37は表示領域、32はレベルシフター回路、33はビデオ信号サンプリングスイッチ、34は水平シフトレジスタ、35はビデオ信号入力端子、36は垂直シフトレジスタである。

【0083】以上に示す構成により、H、Vともにシフトレジスタ等のロジック回路は、ビデオ信号振幅によらず1.5〜5V程度と極めて低い値で駆動でき、高速、低消費電圧化が達成できた。ここの水平、垂直SRは、走査方向は選択スイッチにより双方向可能なものとなっており、光学系の配置等の変更に対して、パネルの変更なしに対応でき、製品の異なるシリーズにも同一パネルが使用でき低コスト化が図れるメリットがある。

又、図5においては、ビデオ信号サンプリングスイッチは、片側極性の1トランジスタ構成のものを記述したが、これに限らず、CMOSTランスミッションゲート構成にすることにより入力ビデオ線をすべてを信号線に書き込むことができることは、言うまでもない。

【0084】又、CMOSTランスミッションゲート構成にした時、NMOSゲートとPMOSゲート面積や、ゲートとソースドレインとの重なり容量の違いにより、ビデオ信号に振られが生じる課題がある。これにはそれぞれの極性のサンプリングスイッチのMOSFETのゲート量の約1/2のゲート量のMOSFETのソースとドレインとを信号線にそれぞれ接続し、逆相パルスで印加

することにより振られが防止でき、さわめて良好なビデオ信号が信号線に書き込まれた。これにより、さらに高品位の表示が可能になった。

【0085】次に、ビデオ信号と、サンプリングパルスの同期を正確にとる方向について図6を用いて説明する。このためには、サンプリングパルスのdelay量を変化させる必要がある。42はパルスdelay用インバータ、43はどのdelay用インバータを選択するかを決めるスイッチ、44はdelay量が制御された出力、45は容量（outBは逆相出力、outは同相出力）である。46は保護回路である。

【0086】SEL1（SEL1B）からSEL3（SEL3B）の組み合わせにより、delay用インバータ42を何コ通過するかが選択できる。

【0087】この同期回路がパネルに内蔵している事により、パネル外部からのパルスのdelay量が、R、G、B3板パネルのとき、治具等の関係で対称性がくずれても、上記選択スイッチで調整でき、R、G、Bのパルス位相高域による位置ずれがない良好な表示画像が得られた。又、パネル内部に温度測定ダイオードを内蔵させ、その出力によりdelay量をテーブルから参照し温度補正することも有効である事は言うまでもない。

【0088】次に、液晶材との関係について説明する。図3では、平坦な対向基板構造のものを示したが、共通電極基板16は、共通透明電極15の界面反射を防ぐため、凹凸を形成し、その表面に共通透明電極15を設けている。また、共通電極基板16の反対側には、反射防止膜20を設けている。これらの凹凸形状の形成のために、微少な粒径の砥粒により砂ずり研磨をおこなう方式も高コントラスト化に有効である。

【0089】液晶材料としては、ポリマー・ネットワーク液晶PNLCを用いた。ただし、ポリマー・ネットワーク液晶として、ポリマー分散液晶、PDLCなどを用いてもいい。ポリマー・ネットワーク液晶PNLCは、重合相分離法によって作製される。液晶と重合性モノマーやオリゴマーで溶液をつくり、通常の方法でセル中に注入した後、UV重合によって液晶と高分子を相分離させ、液晶中に網目状に高分子を形成する。PNLCは多くの液晶（70〜90wt%）を含有している。

【0090】PNLCにおいては、屈折率の異方性（ Δn ）の高いネマチック液晶を用いると光散乱が強くない、誘電異方性（ $\Delta \epsilon$ ）の大きいネマチック液晶を用いると低電圧で駆動が可能となる。ポリマー・ネットワークのおおきさ、すなわち網目の中心間距離が1〜1.5（ μm ）の場合、光散乱は高コントラストを得るのに十分強くなる。

【0091】次に、シール構造と、パネル構造との関係について、図7を用いて説明する。図7において、51はシール部、52は電極パッド、53はクロックバッファ回路、54はアンプである。このアンプ54は、パ

ネル電気検査時の出力アンプとして使用するものである。55は対向基板の端位をとるAgペースト部、56は表示部、57は水平・垂直シフトレジスタ(HSR、VSR)等の周辺回路部である。図7に示した例では、シールの内部にも、外部にも、total chip sizeが小さくなるように、回路を設ける構成とした。本実施形態では、パッドの引き出しをパネルの片辺側の1つに集中させているが、長辺側の両辺でも又、一边でなく多辺からのとり出しも可能で、高速クロックをとり扱うときに有効である。

【0092】さらに、本実施形態のパネルは、Si基板等の半導体基板を用いているため、プロジェクトのように強力な光が照射され、基板の側壁にも光があたると、基板電位が変動し、パネルの誤動作を引き起こす可能性がある。したがって、パネルの側壁及び、パネル上面の表示領域の周辺回路部は、遮光できる基板ホルダーとなっており、又、Si基板の裏面は、熱伝導率の高い接着剤を介して熱伝導率の高いCu等のメタルが接続されたホルダー構造となっている。

【0093】次に、本実施形態の反射型液晶パネルを組み込む光学システムについて、図9を用いて説明する。図9において、71はハロゲンランプ等の光源、72は光源像をしばり込む集光レンズ、73、75は平面状の凸型フレネルレンズ、74はR、G、Bに分解する色分解光学素子で、ダイクロイックミラー、回折格子等が有効である。

【0094】また、76はR、G、B光に分離されたそれぞれの光をR、G、B3パネルに導くそれぞれのミラー、77は集光ビームを反射型液晶パネルに平行光で照明するための視野レンズ、78は反射型液晶素子、79の位置にしばりがある。また、80は投射レンズ、81はスクリーンで、通常、投射光を平行光へ変換するフレネルレンズと上下、左右に広視野角として表示するレンチキュラレンズの2板より構成されると、明瞭な高コントラストで明るい画像を得る。図9の構成では、1色のパネルのみ記載されているが、色分解光学素子74からしばり部79の間は3色それぞれに分離されており、3板パネルが配置されている。又、反射型液晶装置パネル表面にマイクロレンズアレーを設け、異なる入射光を異なる画素領域に照射させる配置をとることにより、3板のみならず、単板構成でも可能であることは言うまでもない。液晶素子の液晶層に電圧が印加され、各画素で正反射した光は、79に示すしばり部を透過しスクリーン上に投射される。

【0095】一方、電圧が印加されずに、液晶層が散乱体となっている時、反射型液晶素子へ入射した光は、等方的に散乱し、79に示す絞り部の開口を見込む角度の中での散乱光以外は、投射レンズには入らない。これにより黒を表示する。以上の光学系からわかるように、偏光板が不要で、しかも画素電極の全面が信号光が高反射率

で投射レンズにはいるため、従来よりも2-3倍明るい表示が実現できた。実施例でも述べたように、対向基板表面、界面には、反射防止対策が施されており、ノイズ光成分も極めて少なく、高コントラスト表示が実現できた。又、パネルサイズが小さくできるため、すべての光学素子(レンズ、ミラーetc.)が小型化され、低コスト、軽量化が達成された。

【0096】又、光源の色ムラ、輝度ムラ、変動は、光源と光学系との間にインテグレタ(はえの目レンズ型ロッド型)を挿入することにより、スクリーン上での色ムラ、輝度ムラは、解決できた。

【0097】また、周辺領域の電極12は、電気的に固定されず、フローティングの状態になっている。また、遮光層7の電位は、例えば液晶の駆動電圧が27Vの場合、その半分の13.5Vに固定する。このように、液晶の駆動電圧によるが、任意の固定電位に固定される。

【0098】上記液晶パネル以外の周辺電気回路について、図10を用いて説明する。図において、85は電源で、主にランプ用電源とパネルや信号処理回路駆動用システム電源に分離される。86はプラグ、87はランプ温度検出器で、ランプの温度の異常があれば、制御ボード88によりランプを停止させる等の制御を行う。これは、ランプに限らず、89のフィルタ安全スイッチでも同様に制御される。たとえば、高温ランプハウスポックスを開けようとした場合、ボックスがあかなくなるような安全上の対策が施されている。90はスピーカー、91は音声ボードで、要求に応じて3Dサウンド、サラウンドサウンド等のプロセッサも内蔵できる。92は拡張ボード1で、ビデオ信号用S端子、ビデオ信号用コンポジット映像、音声等の外部装置96からの入力端子及びどの信号を選択するかを選択スイッチ95、チューナ94からなり、デコーダ93を介して拡張ボード2へ信号が送られる。一方、拡張ボード2は、おもに、別系列からのビデオやコンピュータのDsub15ピン端子を有し、デコーダ93からのビデオ信号と切り換えるスイッチ100を介して、A/Dコンバータ101でdigital信号に変換される。

【0099】また、103は主にビデオRAM等のメモリとCPUとからなるメインボードである。A/Dコンバータ101でA/D変換したNTSC信号は、一端メモリに蓄積され、高画素数へうまく割りあてるために、液晶素子数にマッチしていない空き素子の不足の信号を補間して作成したり、液晶表示素子に適したγ変換エッジ階調、ブライト調整バイアス調整etc.の信号処理を行う。NTSC信号でなく、コンピュータ信号も、たとえばVGAの信号がくれば、高解像度のXGAパネルの場合、その解像度変換処理も行う。一画像データだけでなく、複数の画像データのNTSC信号にコンピュータ信号を合成させる等の処理もこのメインボード103で行う。メインボード103の出力はシリアル・パラレル

交換され、ノイズの影響を受けにくい形態でヘッドボード104に充られる。ここで、再度パラレル/シリアル変換後、D/A変換し、パネルのビデオ線数に応じてアンプを介して、B、G、R色のパネル105、106、107へ信号を書き込む。102はリモコン操作パネルで、コンピュータ画面も、TVと同様の感覚で、簡単操作可能となっている。

【0100】[第3の実施形態] ここでは、本発明の第3の実施形態による液晶装置(パネル)にマイクロレンズを設けて構成した所謂単板式のフルカラー表示装置について説明する。

【0101】本出願人は、従来のマイクロレンズ付表示パネルを用いた投写型表示装置においてはR、G、Bのモザイク構造が目立ち、表示画像の品位が著しく低下するという点を解決するものとして、特願平9-92646号において、新規な表示パネルを提案した。特願平9-72646号で提案した表示パネルは、第1、第2、第3の色画素の3つの色画素のうちの第1、第2の色画素の組み合わせを第1方向に、該第1、第3の色画素の組み合わせを該第1方向と異なる第2方向に該第1の色画素を共有するように配置した画素ユニットを基板上に所定のピッチで2次元的に配列した画素ユニットアレイと、該第1方向と第2方向の2つの色画素のピッチを1ピッチとするマイクロレンズを複数個、該基板上の画素ユニットアレイ上に2次元的に配列したマイクロレンズアレイとを有している表示パネルである。

【0102】ここでは、特願平9-72646号において提案された表示パネルを、本発明の液晶装置及び表示装置に適用した例について説明する。

【0103】図13に本実施形態の液晶表示装置を用いた前面及び背面投写型液晶表示装置光学系の構成図を示す。本図はその上面図を表す図13(a)、正面図を表す図13(b)、側面図を表す図13(c)から成っている。

【0104】図13において、1301はマイクロレンズ付の液晶装置を用いた表示パネル(液晶パネル)で表示した画像情報をスクリーンに投射する投影レンズ、1302はマイクロレンズ付液晶パネル、1309は例えばS偏光を透過し、P偏光を反射する偏光ビームスプリッター(PBS)、1340はR(赤色光)反射ダイクロイックミラー、1341はB/G(青色&緑色光)反射ダイクロイックミラー、1342はB(青色光)反射ダイクロイックミラー、1343は全色光を反射する高反射ミラー、1350はフレネルレンズ、1351は凸レンズ(正レンズ)、1306はロッド型インテグレーター、1307は楕円リフレクター、1308はメタルハライド、UHP等のアークランプである。

【0105】ここで、R(赤色光)反射ダイクロイックミラー1340、B/G(青色&緑色光)反射ダイクロイックミラー1341、B(青色光)反射ダイクロイック

クミラー1342はそれぞれ図14に示したような分光反射特性を有している。そしてこれらのダイクロイックミラーは高反射ミラー1343とともに、図15の斜視図に示したように3次元的に配置されており、後述するように白色照明光をRGBに色分解するとともに、液晶パネル1302に対して各原色光が、3次元的に異なる方向から該液晶パネル1302を照明するようにしている。

【0106】ここで、光束の進行過程に従って説明すると、まず光源のランプ1308からの出射光束は白色光であり、楕円リフレクター1307によりその前方のインテグレーター1306の入り口に集光され、このインテグレーター1306内を反射を繰り返しながら進行するにつれて光束の空間的強度分布が均一化される。そしてインテグレーター1306を出射した光束は凸レンズ1351とフレネルレンズ1350とにより、x軸方向(図13(b)の正面図基準)に平行光束化され、まずB反射ダイクロイックミラー1342に至る。

【0107】このB反射ダイクロイックミラー1342ではB光(青色光)のみが反射され、z軸方向つまり下側(図13(b)の正面図基準)にz軸に対して所定の角度でR反射ダイクロイックミラー1340に向かう。一方B光以外の色光(R/G光)はこのB反射ダイクロイックミラー1342を通過し、高反射ミラー1343により直角にz軸方向(下側)に反射され、やはりR反射ダイクロイックミラー1340に向かう。

【0108】ここで、B反射ダイクロイックミラー1342と高反射ミラー1343は共に図13(a)の正面図を基にして言えば、インテグレーター1306からの光束(x軸方向)をz軸方向(下側)に反射するように配置しており、高反射ミラー1343はy軸方向を回転軸にx-y平面に対して丁度45°の傾きとなっている。それに対してB反射ダイクロイックミラー1342はやはりy軸方向を回転軸にx-y平面に対して、この45°よりも浅い角度に設定されている。

【0109】従って、高反射ミラー1343で反射されたR/G光はz軸方向に直角に反射されるのに対して、B反射ダイクロイックミラー1342で反射されたB光はz軸に対して所定の角度(x-z面内チルト)で下方向に向かう。ここで、B光とR/G光の液晶パネル1302上の照明範囲を一致させるため、各色光の主光線は液晶パネル1302上で交差するように、高反射ミラー1343とB反射ダイクロイックミラー1342のシフト量およびチルト量が選択されている。

【0110】次に、前述のように下方向(z軸方向)に向かったR/G/B光はR反射ダイクロイックミラー1340とB/G反射ダイクロイックミラー1341に向かうが、これらはB反射ダイクロイックミラー1342と高反射ミラー1343の下側に位置し、まず、B/G反射ダイクロイックミラー1341はx軸を回転軸に

x-z面に対して45°傾いて配置されており、R反射ダイクロイックミラー1340はやはりx軸方向を回転軸にx-z平面に対してこの45°よりも浅い角度に設定されている。

【0111】従って、これらに入射するR/G/B光のうち、まずB/G光はR反射ダイクロイックミラー1340を通過して、B/G反射ダイクロイックミラー1341により直角にy軸+方向に反射され、PBS1303を通じて偏光化された後、x-z面に水平に配置された液晶パネル1302を照明する。

【0112】このうちB光は、前述したように(図13(a)、図13(b)参照)、x軸に対して所定の角度(x-z面内チルト)で進行しているため、B/G反射ダイクロイックミラー1341による反射後は、y軸に対して所定の角度(x-y面内チルト)を維持し、その角度を入射角(x-y面方向)として該液晶パネル1302を照明する。

【0113】G光についてはB/G反射ダイクロイックミラー1341により直角に反射し、y軸+方向に進み、PBS1303を通じて偏光化された後、入射角0°つまり垂直に該液晶パネル1302を照明する。

【0114】また、R光については、前述のようにB/G反射ダイクロイックミラー1341の手前に配置されたR反射ダイクロイックミラー1340によりR反射ダイクロイックミラー1340にてy軸+方向に反射されるが、図13(c)(側面図)に示したようにy軸に対して所定の角度(y-z面内チルト)でy軸+方向に進み、PBS1303を通じて偏光化された後、該液晶パネル1302をこのy軸に対する角度を入射角(y-z面方向)として照明する。

【0115】また、前述と同様にRGB各色光の液晶パネル1302上の照明範囲を一致させるため、各色光の主光線は液晶パネル1302上で交差するように、B/G反射ダイクロイックミラー1341とR反射ダイクロイックミラー1340のシフト量およびチルト量が選択されている。

【0116】さらに、図14(a)に示したようにB反射ダイクロイックミラー1341のカット波長は480nm、図14(b)に示したようにB/G反射ダイクロイックミラー1341のカット波長は570nm、図27(c)に示したようにR反射ダイクロイックミラー1340のカット波長は600nmであるから、不要な橙色光はB/G反射ダイクロイックミラー1341を透過して捨てられる。これにより最適な色バランスを得ることができる。

【0117】そして後述するように液晶パネル1302にて各R、G、B光は反射&偏光変調され、PBS1303に戻り、PBS1303のPBS面1303aにてx軸+方向に反射する光束が画像光となり、投影レンズ1301を通じて、スクリーン(不図示)に拡大投影さ

れる。

【0118】ところで、該液晶パネル1302を照明する各R、G、B光は入射角が異なるため、そこから反射されてくる各RGB光もその出射角を異にしているが、投影レンズ1301としてはこれらを全て取り込むに十分な大きさのレンズ径及び開口のものを用いている。ただし、投影レンズ1301に入射する光束の傾きは、各色光がマイクロレンズを2回通過することにより平行化され、液晶パネル1302への入射光の傾きを維持している。

【0119】ところが図25に示したように従来例の透過型では、液晶パネルを出射した光束はマイクロレンズの集光作用分も加わってより大きく広がってしまうので、この光束を取り込むための投影レンズはさらに大きな開口数が求められ、大型で高価なレンズとなっている。

【0120】図25において、1316は複数のマイクロレンズ1316aを所定のピッチで配列したマイクロレンズアレイ、1317は印加された電界強度により配向を変化する液晶層、1318はR(赤色)、G(緑色)、B(青色)の各画素である。赤、緑、青色の各色の照明光R、G、Bをそれぞれ異なる角度から液晶パネルLPに当て、マイクロレンズ1316aの集光作用により各色光がそれぞれ異なる色画素1318に入射するようにしている。これによって、カラーフィルターを不要とすると共に、高い光利用率を可能にした表示パネルを構成している。このような表示パネルを用いた投写型表示装置は単板液晶パネルにても明るいフルカラー映像を投写表示することができるようになっている。

【0121】しかしながら、このようなマイクロレンズ付の表示パネルを用いた投写型表示装置では、その投写表示画像のR、G、Bの各色画素1318がスクリーン上に拡大投影されたものになる。このため、図26に示したように、R、G、Bのモザイク構造が目立ってしまう、これが表示画像の品位を著しく低下してしまうという欠点を有していたのである。

【0122】これに対して、本実施形態では液晶パネル1302からの光束の広がりはこのように比較的小さくなるので、より小さな開口数の投影レンズでもスクリーン上で十分に明るい投影画像を得ることができ、より小型な安価な投影レンズを用いることが可能になる。且つ、R、G、Bのモザイク構造が目立つのが抑えられるのである。すなわち、図26に示す縦方向に同一色が並ぶストライプタイプの表示方式の例を本実施形態に用いることも可能であるが、後述するマイクロレンズを用いた液晶パネルの場合は好ましくない。

【0123】次に、ここで用いる本発明液晶パネル1302について説明する。図16に該液晶パネル1302の拡大断面模式図(図13(c)のy-z面に対応)を示す。図16において、1321はマイクロレンズ基板

(ガラス基板)、1322はマイクロレンズ、1323はシートガラス、1324は透明対向電極、1325は液晶層、1326は画素電極、1327はアクティブマトリックス駆動回路部、1328はシリコン半導体基板である。マイクロレンズ1322はいわゆるイオン交換法によりガラス基板(アルカリ系ガラス)1321の表面上に形成されており、画素電極1326のピッチの倍のピッチで2次元のアレイ構造を有し、これによりマイクロレンズアレイを成している。

【0124】また、1252は周辺シール部である。ここで、本実施形態では、R、G、B画素が、1パネルに集約されており、1画素のサイズは小さくなる。従って、開口率を上げることの重要性が大きく、集光された光の範囲には、反射電極が存在していなければならない。第1〜第5の実施形態で説明した構成が重要となる。

【0125】液晶層1325は反射型に適応したいわゆるDAP、HAN等のECBモードのネマチック液晶を採用しており、不図示の配向層により所定の配向が維持されている。画素電極1326はAl(アルミ)から成り、反射鏡を兼ねており、表面性を良くして反射率を向上させるため、バタニング後の最終工程で前述したいわゆるCMP処理を施している。

【0126】アクティブマトリックス駆動回路部1327はシリコン半導体基板1328上に設けられている。ここで、ドライバとして水平方向回路と垂直方向回路を含むアクティブマトリックス駆動回路1327は、R、G、Bの各原色映像信号を所定の各R、G、B画素に書き込むように構成されており、該各画素電極1326はカラーフィルタは有さないものの、前記アクティブマトリックス駆動回路1327にて書き込まれる原色映像信号により各R、G、B画素として区別され、後述する所定のR、G、B画素配列を形成している。

【0127】ここで、液晶パネル1302に対して照明するG光について説明する。前述したようにG光はPBS1303により偏光化されたのち該液晶パネル1302に対して垂直に入射する。この光線のうち1つのマイクロレンズ1322aに入射する光線例を图中的矢印G(in/out)に示す。

【0128】ここに図示されたように該G光線はマイクロレンズ1322により集光され、G画素電極1326g上を照明する。そしてAlより成る該画素電極1326gにより反射され、再び同じマイクロレンズ1322aを通じてパネル外に出射していく。このように液晶層1325を往復通過する際、該G光線(偏光)は画素電極1326gに印加される信号電圧により対向電極1324との間に形成される電界による液晶の動作により変調を受けて、該液晶パネルを出射し、PBS1303に戻る。ここで、その変調度合いによりPBS面1303aにて反射され、投影レンズ1301に向かう光量に変化し、各画素のいわゆる濃淡階調表示がなされることに

なる。

【0129】一方、上述したように図16中断面(y-z面)内の斜め方向から入射してくるR光については、やはりPBS1303により偏光されたのち、例えばマイクロレンズ1322bに入射するR光線に注目すると、图中的矢印R(in)で示したように、該マイクロレンズ1322bにより集光され、その真下よりも左側にシフトした位置にあるR画素電極1326r上を照明する。そして該画素電極1326rにより反射され、図示したように今度は隣(-z方向)のマイクロレンズ1322aを通じて、パネル外に出射していく(R(out))。

【0130】この際、該R光線(偏光)はやはり画素電極1326rに印加される信号電圧により対向電極1324との間に形成される画像信号に応じた電界による液晶の動作により変調を受けて、該液晶パネルを出射し、PBS1303に戻る。そして、その後のプロセスは前述のG光の場合と全く同じように、画像光を投影レンズ1301から投影される。

【0131】ところで、図16の描写ではG画素電極1326g上とR画素電極1326r上の各G光とR光の色光が1部重なり干渉しているようになっているが、これは模式的に液晶層1325の厚さを拡大誇張して描いているためであり、実際には該液晶層の厚さは1〜5μであり、シートガラス1323の50〜100μに比べて非常に薄く、画素サイズに関係なくこのような干渉は起こらない。

【0132】次に、図17に本実施形態での色分解及び色合成の原理説明図を示す。ここで、図17(A)は液晶パネル1302の上面模式図、図17(B)、図17(C)はそれぞれ該液晶パネル上面模式図に対するA-A'(x方向)断面模式図、B-B'(z方向)断面模式図である。ここで、マイクロレンズ1322は、図17(A)の一点鎖線に示すように、G光を中心として両隣接する2色画素の半分ずつに対して1個が対応している。

【0133】このうち図17(C)はy-z断面を表す上記図16に対応するものであり、各マイクロレンズ1322に入射するG光とR光の入射の様子を表している。これから判るように各G画素電極は各マイクロレンズの中心の真下に配置され、各R画素電極は各マイクロレンズ間境界の真下に配置されている。従ってR光の入射角はそのtanθが画素ピッチ(B&R画素)とマイクロレンズ1322・画素電極1326間距離の比に等しくなるように設定するのが好ましい。

【0134】一方、図17(B)は該液晶パネル1302のx-y断面を表す図16に対応するものである。このx-y断面については、第3の色画素としてのB画素電極とG画素電極とが図17(C)と同様に交互に配置されており、やはり各G画素電極は各マイクロレンズ1

322の中心の真下に配置され、第3の色画素としての各B画素電極は各マイクロレンズ1322間の境界の真下に配置されている。

【0135】ところで該液晶パネル1322を照明するB光については、前述したようにPBS1303による偏光化後、図28中断面(x-y面)の斜め方向から入射してくるため、R光の場合と全く同様に、各マイクロレンズ1322から入射したB光線は、図示したようにB画素電極1326bにより反射され、入射したマイクロレンズ1322に対して、x方向に隣り合うマイクロレンズ1322から出射する。B画素電極1326b上の液晶による変調や液晶パネルからのB出射光の投影については、前述のG光およびR光と同様である。

【0136】また、各B画素電極1326bは各マイクロレンズ間境界の真下に配置されており、B光の液晶パネルに対する入射角についても、R光と同様にその $\tan \theta$ が画素ピッチ(G&B画素)とマイクロレンズ・画素電極間距離の比に等しくなるように設定するのが好ましい。

【0137】ところで、本実施形態の液晶パネルでは以上述べたように各R、G、B画素の並びがz方向に対してはRGRGRG…の並びに、x方向に対してはBGBGBG…の並びとなっているが、図17(A)はその平面的な並びを示している。このように各画素サイズは縦横共にマイクロレンズの約半分になっており、画素ピッチはx-z両方向ともにマイクロレンズのその半分になっている。また、G画素は平面的にもマイクロレンズ中心の真下に位置し、R画素はz方向のG画素間かつマイクロレンズ境界に位置し、B画素はx方向のG画素間かつマイクロレンズ境界に位置している。また、1つのマイクロレンズ単位の形状は矩形(画素の2倍サイズ)となっている。

【0138】図18に本液晶パネルの部分拡大上面図を示す。ここで図中の破線格子1329は1つの絵素を構成するR、G、B画素のまとまりを示している。尚、画素ユニットを基板上に2次元的に所定のピッチで配列して、画素ユニットアレイを構成している。つまり、図16のアクティブマトリックス駆動回路部1327により各R、G、B画素が駆動される際、破線格子1329で示されるR、G、B画素ユニットは同一画素位置に対応したR、G、B映像信号にて駆動される。

【0139】ここでR画素電極1326r、G画素電極1326g、B画素電極1326bから成る1つの絵素に注目してみると、まずR画素電極1326rは矢印r1で示されるようにマイクロレンズ1322bから前述したように斜めに入射するR光で照明され、そのR反射光は矢印r-2で示すようにマイクロレンズ1322aを通じて出射する。B画素電極1326bは矢印b1で示されるようにマイクロレンズ1322cから前述したように斜めに入射するB光で照明され、そのB反射光は

矢印b2で示すようにやはりマイクロレンズ1322aを通じて出射する。

【0140】また、G画素電極1326gは正面後面矢印g12で示されるように、マイクロレンズ1322aから前述したように垂直(紙面奥へ向かう方向)に入射するG光で照明され、そのG反射光は同じマイクロレンズ1322aを通じて垂直に(紙面手前へ出てくる方向)出射する。

【0141】このように、本液晶パネルにおいては、1つの絵素を構成するR、G、B画素ユニットについて、各原色照明光の入射照明位置は異なるものの、それらの出射については、同じマイクロレンズ(この場合は1322a)から行われる。そしてこのことはその他の全ての絵素(R、G、B画素ユニット)についても成り立っている。

【0142】従って、図19には、本液晶パネル1302からの全出射光をPBS1303および投影レンズ1301を通じて、スクリーン1309に投写する概念図を示している。図19に示すように、液晶パネル1302を用いて、液晶パネル1302内のマイクロレンズ1322の位置又はその近傍がスクリーン1309上に結像投影されるように光学調整すると、その投影画像は図21に示すようなマイクロレンズ1322の格子内に各絵素を構成するR、G、B画素ユニットからの出射光が混色した状態つまり同画素混色した状態の絵素を構成単位としたものとなる。本実施形態では、このように図18に示す構成の表示パネル1302を用い、且つマイクロレンズ1322の配置面又はその近傍がスクリーン1309とはほぼ共役関係となるようにして、スクリーン1309面上でいわゆるR、G、Bモザイクが無い、質感の高い良好なカラー画像表示が可能としている。

【0143】次に、本投写型液晶表示装置の駆動回路系について、その全体ブロック図を図20に示す。ここで、1310はパネルドライバーであり、R、G、B映像信号を形成するとともに、対向電極1324の駆動信号、各種タイミング信号等を形成している。1312はインターフェースであり、各種映像及び制御伝送信号を標準映像信号等にデコードしている。また、1311はデコーダーであり、インターフェース1312からの標準映像信号をR、G、B原色映像信号及び同期信号に、即ち液晶パネル1302に対応した画像信号にデコード・変換している。1314はバラストであり、楕円リフレクター1307内のアークランプ1308を駆動点灯する。1315は電源回路であり、各回路ブロックに対して電源を供給している。1313は不図示の操作部を内在したコントローラーであり、上記各回路ブロックを総合的にコントロールするものである。

【0144】このように本投写型液晶表示装置は、その駆動回路系は単板式プロジェクターとしては、ごく一般的なものであり、特に駆動回路系に負担を掛けることな

く、前述したようなR、G、Bモザイクの無い良好な質感のカラー画像を表示することができるものである。

【0145】ところで図22に本実施形態における液晶パネルの別形態の部分拡大上面図を示す。ここではマイクロレンズ1322の中心真下位置にB画素電極1326bを配列し、それに対し左右方向にG画素1326gが交互に並ぶように、上下方向にR画素1326rが交互に並ぶように配列している。このように配列しても、絵素を構成するR、G、B画素ユニットからの反射光が1つの共通マイクロレンズから出射するように、B光を垂直入射、R/G光を斜め入射（同角度異方向）とすることにより、前実施形態と全く同様な効果を得ることができる。また、さらにマイクロレンズ1322の中心真下位置にR画素を配列しその他の色画素を左右または上下方向にR画素に対してG、B画素を交互に並ぶようにしても良い。

【0146】[第4の実施形態] 図23に本発明に係わる液晶パネルの第4の実施形態を示す。同図は本液晶パネル1320の部分拡大断面図である。前記第3の実施形態との相違点を述べると、まず対向ガラス基板としてシートガラス1323を用いており、マイクロレンズ1220については、シートガラス1323上に熱可塑性樹脂を用いたいわゆるリフロー法により形成している。さらに、非画素部にスペーサー柱1251を感光性樹脂のフォトリソグラフィにて形成している。

【0147】該液晶パネル1320の部分上面図を図24(a)に示す。この図から判るようにスペーサー柱1251は所定の画素のピッチでマイクロレンズ1220の角隅部の非画素領域に形成されている。このスペーサー柱1251を通るA-A'断面図を図24(b)に示す。このスペーサー柱1251の形成密度については10~100画素ピッチでマトリクス状に設けるのが好ましく、シートガラス1323の平面性と液晶の注入性というスペーサー柱数に対して相反するパラメーターを共に満足するように設定する必要がある。

【0148】また、本実施形態では金属膜パターンによる遮光層1221を設けており、各マイクロレンズ境界部分からの漏れ光の進入を防止している。これにより、このような漏れ光による投影画像の彩度低下（各原色画像光の混色による）やコントラスト低下が防止される。従って本液晶パネル1320を用いて、第9の実施形態の如き液晶パネルを備えた投写型表示装置を構成することにより、さらにメリハリのある良好な画質が得られるようになる。

【0149】

【発明の効果】本発明によれば、反射型液晶素子の周辺に配置されるシフトレジスタ等の周辺回路についても、液晶素子表面ばかりでなく周辺回路の表面にもPSG絶縁層と反射メタル電極とを重ねてCMPで平坦化することで、ウェハー上に製造する複数の液晶装置の品質を

一定に維持できるばかりでなく、各チップ内の平坦性が向上し、製造上の効果は絶大である。

【0150】また、その後のラビング層と液晶とラビング層と共通電極とその上段の保護層とを重ねることによって、周辺回路の平坦さからゴーストや迷光を防止し、工程上の負担もなく、また液晶素子周辺から異物が出ることもなく、さらに、周辺回路部での液晶遮蔽のシールも容易になるという種々の実効的効果を奏し得る。

【0151】さらに、本発明に関わる投写型液晶表示装置においては、マイクロレンズ付反射型液晶パネルとそれぞれ異なる方向から各原色光を照明する光学系等を用いて、1つの絵素を構成する1組のR、G、B画素からの液晶による変調後の反射光が同一のマイクロレンズを通じて出射するようにしたことにより、R、G、Bモザイクの無い質感の高い良好なカラー画像投写表示が可能となる。

【0152】また、各画素からの光束はマイクロレンズを2回通過してはば並行化されるので、マイクロレンズのピッチを画素ピッチの倍サイズとてきて製造的にコストダウンとなり、また開口数の小さい安価な投影レンズを用いてもスクリーン上で明るい投影画像を得ることが可能になる。

【図面の簡単な説明】

【図1】本発明のマトリクス基板のCMP前の状態を示す模式図である。

【図2】本発明のマトリクス基板のCMP後の状態を示す模式図である。

【図3】本発明のCMPを用いて製造される液晶素子の断面図である。

【図4】本発明による液晶装置の概略的回路図である。

【図5】本発明による液晶のブロック図である。

【図6】本発明による液晶装置の入力部のディレイ回路を含む回路図である。

【図7】本発明による液晶装置の液晶パネルの概念図である。

【図8】液晶装置の製造上のエッチング処理の良否を判断するグラフである。

【図9】本発明の液晶装置を用いた液晶プロジェクターの模式図である。

【図10】本発明の液晶装置を用いた液晶プロジェクターの内部を示す回路ブロック図である。

【図11】本発明の液晶装置をCMPを用いて製造する製造工程を示す模式図である。

【図12】本発明の液晶装置をCMPを用いて製造する製造工程を示す模式図である。

【図13】本発明の投写型表示装置の1例を示す模式図である。

【図14】本発明の投写型表示装置に用いたダイクロイックミラーの分光反射特性図である。

【図15】本発明の投写型表示装置の色分解照明部の斜

視図である。

【図16】本発明の液晶パネルの1例を示す断面図である。

【図17】本発明の液晶パネルの色分解色合成の原理説明図である。

【図18】本発明の液晶パネルの1例についての部分拡大上面図である。

【図19】本発明の投写型表示装置の投影光学系を示す模式図である。

【図20】本発明の投写型表示装置の駆動回路系を示すブロック図である。

【図21】本発明の投写型表示装置の1例についてのスクリーン上の投影像の部分拡大図である。

【図22】本発明の液晶パネルの1例についての部分拡大上面図である。

【図23】本発明の液晶パネルの1例を示す模式図である。

【図24】本発明の液晶パネルの1例についての部分拡大上面図と部分拡大断面図である。

【図25】従来のマイクロレンズ付の透過型液晶パネルの部分拡大断面図である。

【図26】マイクロレンズ付の透過型液晶パネルを用いた従来の投写型表示装置でのスクリーン上投影像の部分拡大図である。

【図27】出願人が先に出願した液晶装置の製造プロセスの1例を説明するための模式図である。

【図28】従来の液晶装置の製造プロセスの1例を説明するための模式図である。

【図29】従来の液晶装置の製造プロセスの1例を説明するための模式図である。

【符号の説明】

- 1 基板
- 9 絶縁層
- 12 画素電極
- 12' 周辺画素電極部材
- 250 画素表示領域
- 260 駆動回路
- 270 シール領域
- 280 溝
- 1 半導体基板
- 2, 2' p型及びn型ウェル
- 3, 3' ソース領域
- 4 ゲート領域
- 5, 5' ドレイン領域
- 6 LOCOS絶縁層
- 7 遮光層
- 8 PSG
- 9 ブラズマSiN
- 10 ソース電極
- 11 連結電極

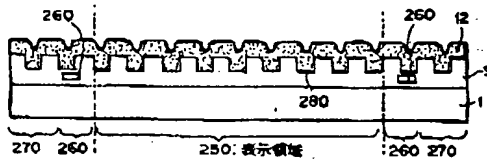
- 12 反射電極&画素電極
- 13 反射防止膜
- 14 液晶層
- 15 共通透明電極
- 16 対向電極
- 17 高温度不純物領域
- 19 表示領域
- 20 反射防止膜
- 21, 22 シフトレジスタ
- 23 nMOS
- 24 pMOS
- 25 保持容量
- 27 信号転送スイッチ
- 28 リセットスイッチ
- 29 リセットパルス入力端子
- 30 リセット電源端子
- 31 映像信号入力端子
- 32 昇圧レベルシフター
- 42 パルスdelay用インバータ
- 43 スイッチ
- 44 出力
- 45 容量
- 46 保護回路
- 51 シール部
- 52 電極パッド
- 53 クロックバッファ
- 71 光源
- 72 集光レンズ
- 73, 75 フレネルレンズ
- 74 色分解光学素子
- 76 ミラー
- 77 視野レンズ
- 78 液晶装置
- 79 絞り部
- 80 投影レンズ
- 81 スクリーン
- 85 電源
- 86 ブラグ
- 87 ランプ温度検出
- 40 88 制御ボード
- 89 フィルタ安全スイッチ
- 103 メインボード
- 104 液晶パネルドライブヘッドボード
- 105, 106, 107 液晶装置
- 1220 マイクロレンズ(リフロー熱ダレ式)
- 1251 スペーサー柱
- 1252 周辺シール部
- 1301 投影レンズ
- 1302 マイクロレンズ付液晶パネル
- 50 1303 偏光ビームスプリッター(PBS)

- 1308 ロッド型インテグレータ
- 1307 楕円リフレクター
- 1308 アークランプ
- 1309 スクリーン
- 1310 パネルドライバ
- 1311 デコーダ
- 1312 インターフェース回路
- 1314 バラスト (アークランプ点灯回路)
- 1320 マイクロレンズ付液晶パネル
- 1321 マイクロレンズガラス基板
- 1322 マイクロレンズ (インデックス分布式)
- 1323 シートガラス
- 1324 対向透明電極

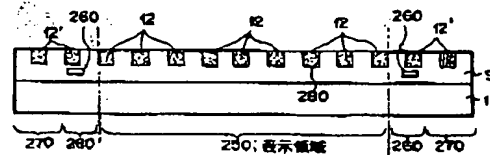
- * 1325 液晶
- 1326 画素電極
- 1327 アクティブマトリックス駆動回路部
- 1328 シリコン半導体基板
- 1329 基本線素単位
- 1340 R反射ダイクロイックミラー
- 1341 B/G反射ダイクロイックミラー
- 1342 B反射ダイクロイックミラー
- 1343 高反射ミラー
- 10 1350 フレネルレンズ (第2コンデンサーレンズ)
- 1351 第1コンデンサーレンズ

*

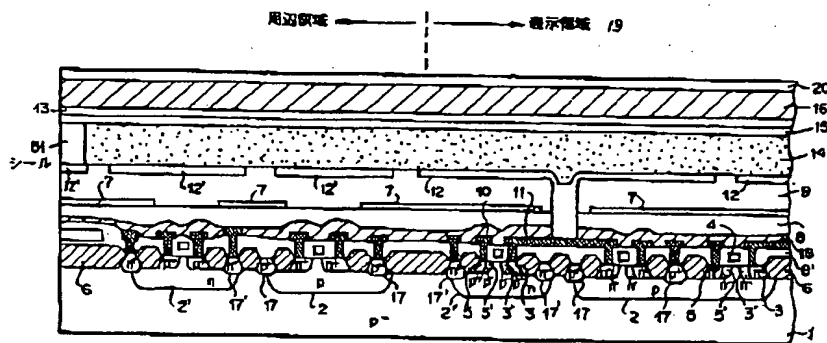
【図1】



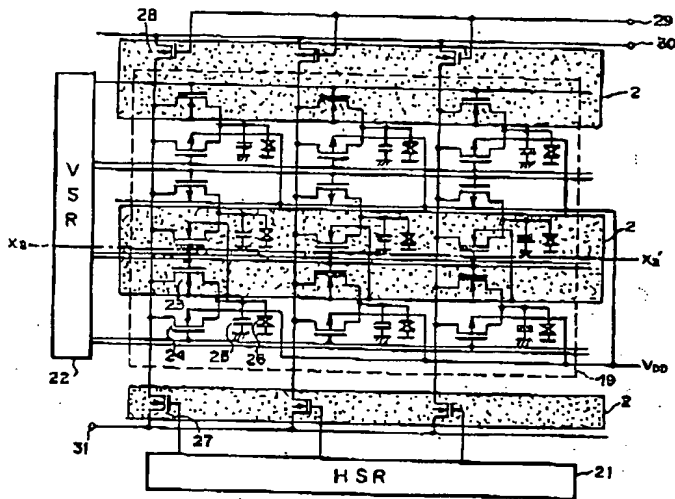
【図2】



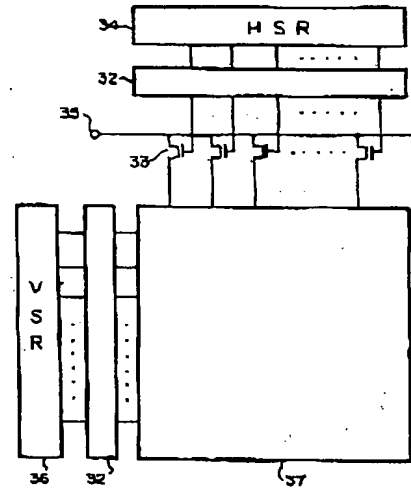
【図3】



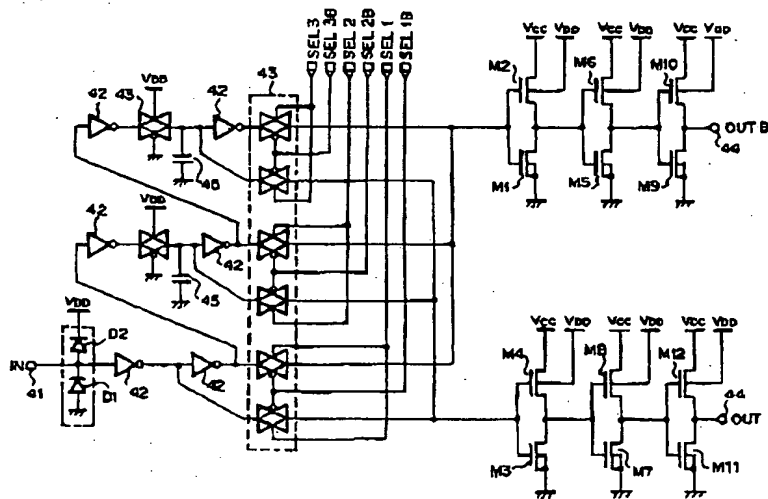
【☒ 4】



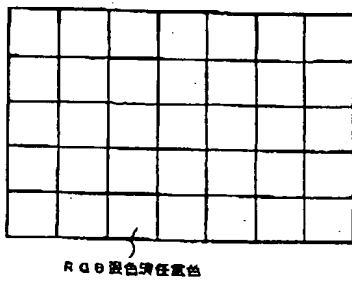
【圖 5】



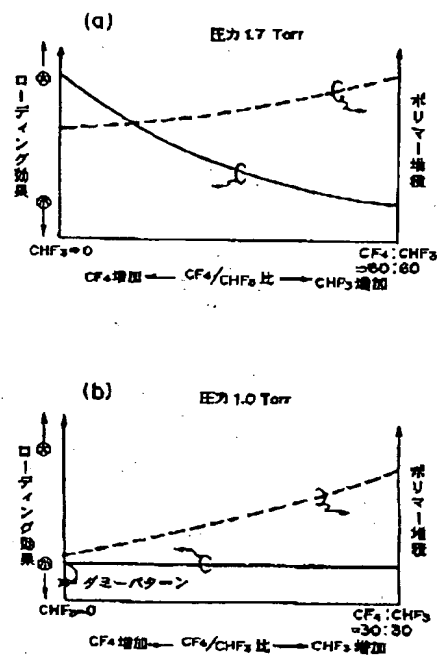
【例6】



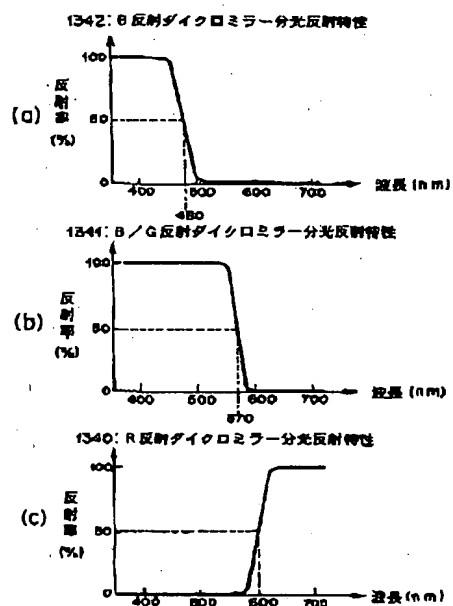
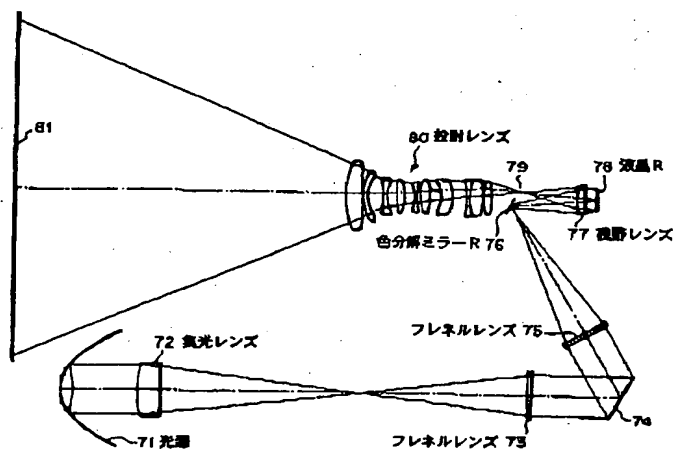
【圖 21】



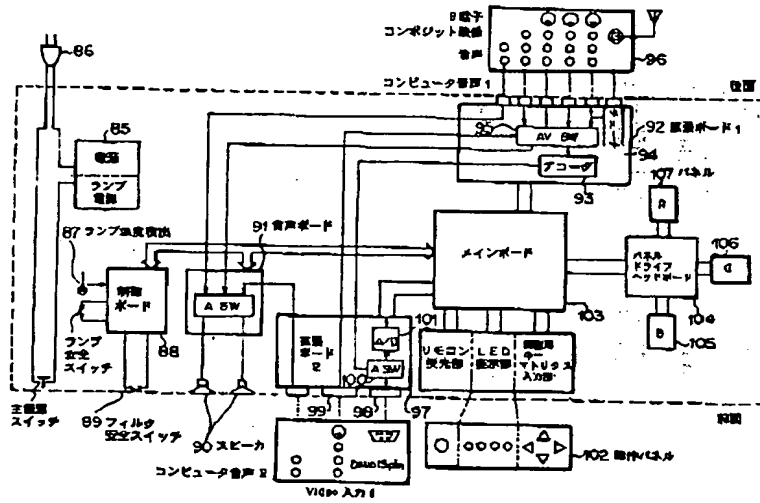
【圖8】



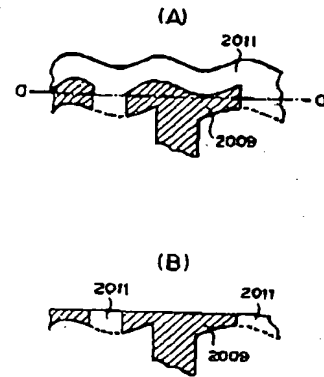
【图 14】



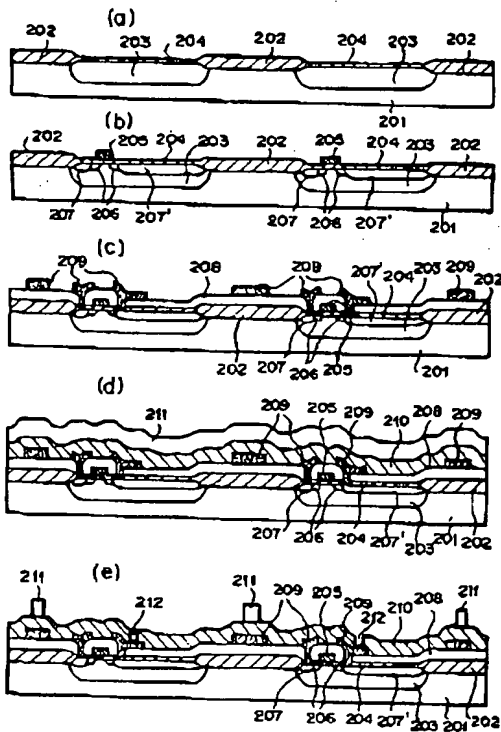
【図10】



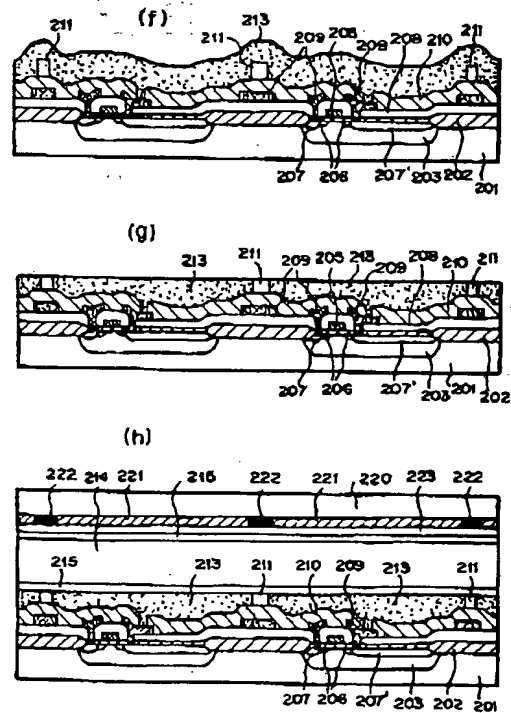
【図28】



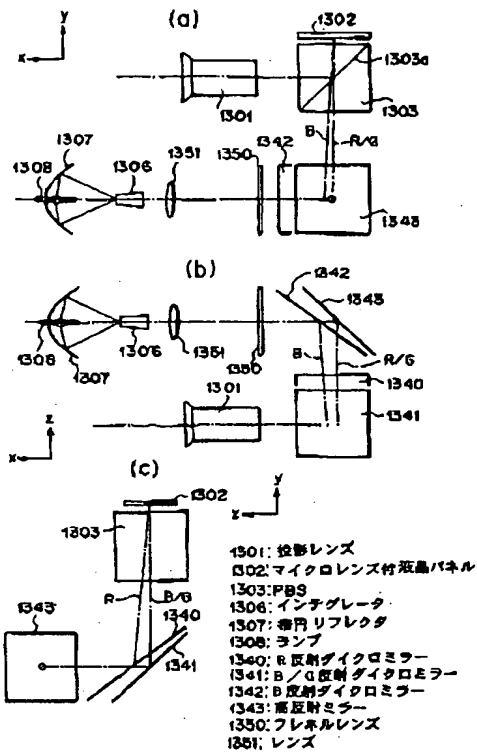
【図11】



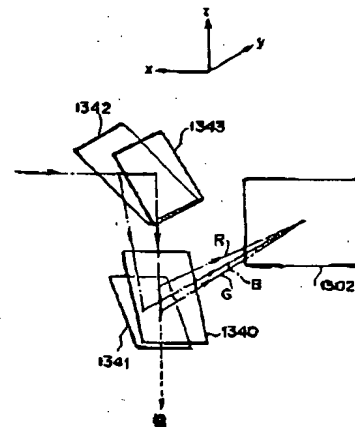
【図12】



【図13】

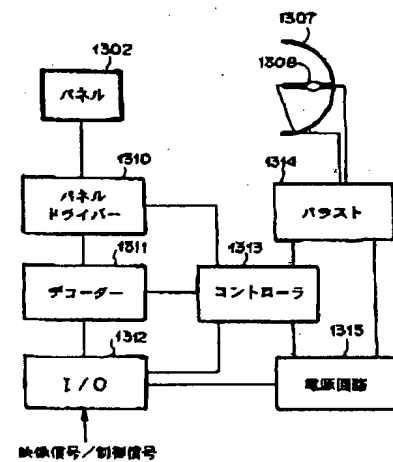


【図15】

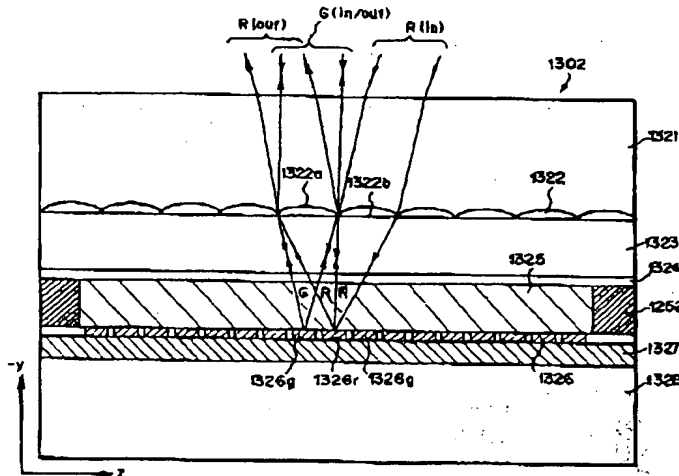


1302: マイクロレンズ付液晶パネル
 1340: R 反射ダイクロミラー
 1341: B/G 反射ダイクロミラー
 1342: B 反射ダイクロミラー
 1343: 高反射ミラー (G/R 反射)

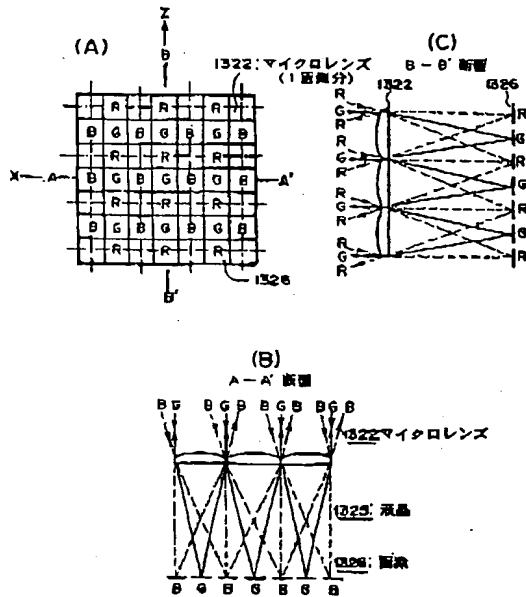
【図20】



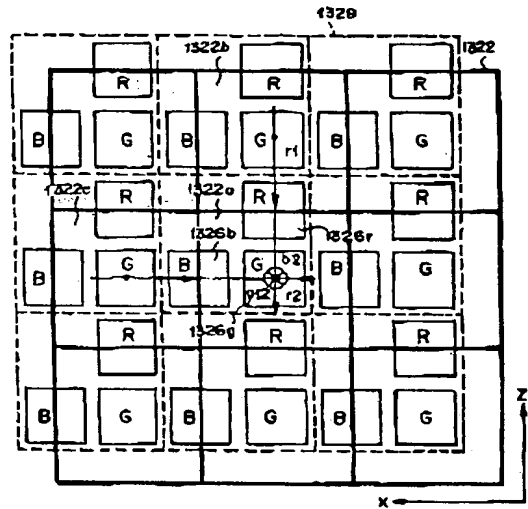
【図16】



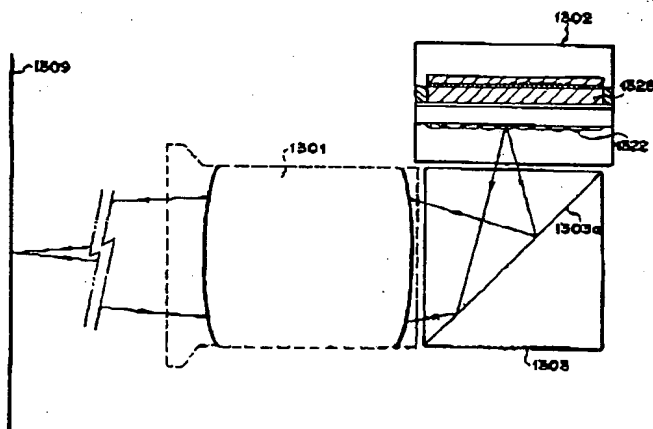
【図17】



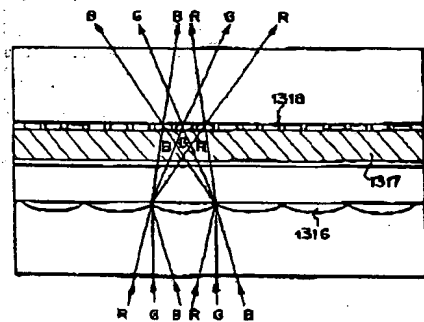
【図18】



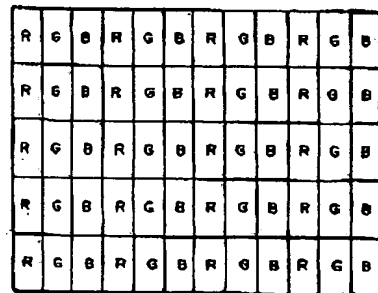
【図19】



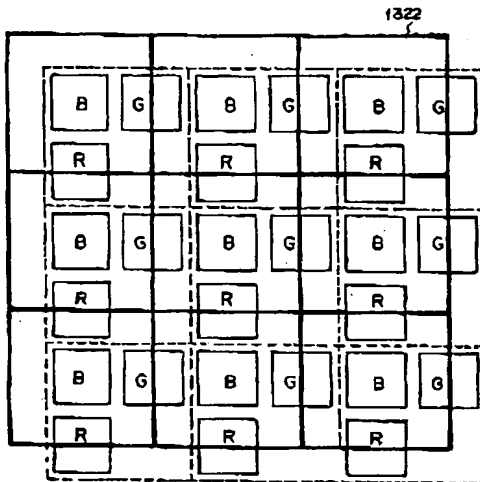
【図25】



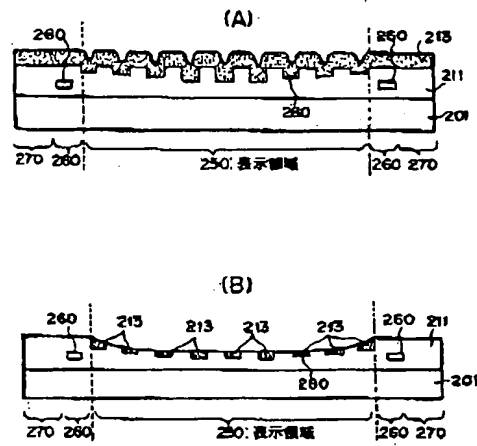
【図26】



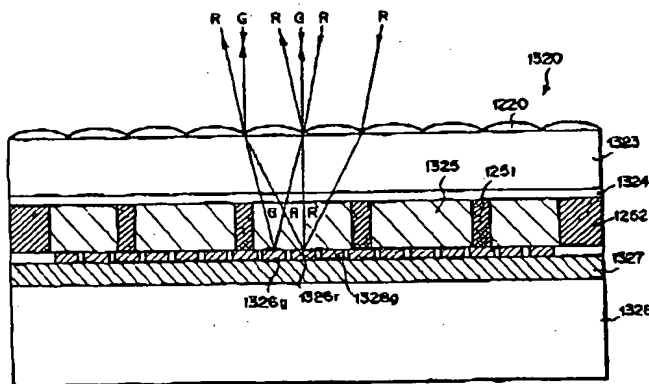
【圖22】



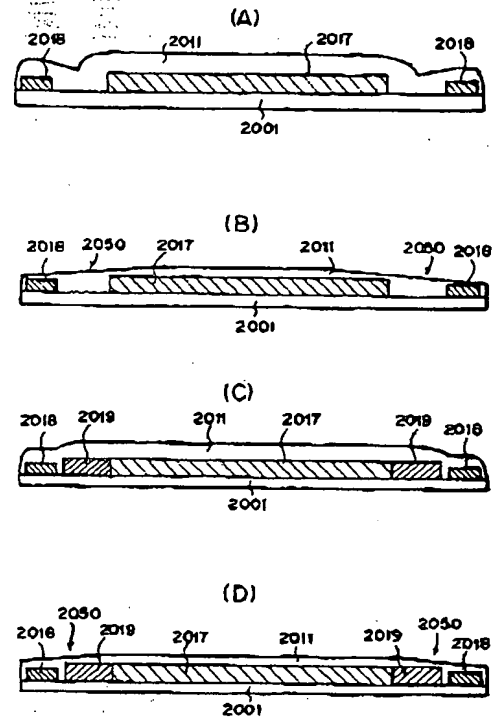
[27]



【圖 23】



【圖2.9】



(72)発明者 小山 理
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内